

# **TECHNICKÁ UNIVERZITA V LIBERCI**

Fakulta mechatroniky a mezioborových inženýrských studií

Studijní program: M 2612 – Elektrotechnika a informatika

Studijní obor: 3902T005 – Automatické řízení a inženýrská informatika

## **Tester logických obvodů řízený počítačem**

## **Tester of logical circuits controlled by computer**

### **Diplomová práce**

Autor: **Miloš Chalupa**

Vedoucí práce: Ing. Zbyněk Mader

**V Liberci 6. 5. 2007**

# TECHNICKÁ UNIVERZITA V LIBERCI

Fakulta mechatroniky a mezioborových inženýrských studií

Katedra elektroniky a zpracování signálů

Akademický rok: 2006/2007

## ZADÁNÍ DIPLOMOVÉ PRÁCE

Jméno a příjmení: Miloš Chalupa

studijní program: M 2612 – Elektrotechnika a informatika

obor: 3902T005 – Automatické řízení a inženýrská informatika

Vedoucí katedry Vám ve smyslu zákona o vysokých školách č.111/1998 Sb. určuje tuto diplomovou práci:

Název tématu: Tester logických obvodů řízený počítačem

Zásady pro vypracování:

1. Vyberte pro tester vhodný osmibitový jednočipový mikroprocesor a prostudujte jeho architekturu a instrukční soubor.
2. Navrhněte tester vybraných logických obvodů. Tester se bude skládat z řídicího členu (mikroprocesoru) a bloku pro komunikaci přes USB port.
3. Navrhněte desku s plošnými spoji pro tento tester a zrealizujte funkční vzorek.
4. Vytvořte programové vybavení v PC, kterým by se dal tester ovládat a kde by byly vyhodnoceny výsledky testovaného obvodu.

## **Prohlášení**

Byl jsem seznámen s tím, že na mou diplomovou práci se plně vztahuje zákon č. 121/2000 o právu autorském, zejména § 60 (školní dílo).

Beru na vědomí, že TUL má právo na uzavření licenční smlouvy o užití mé diplomové práce, a prohlašuji, že **s o u h l a s í m** s případným užitím mé diplomové práce (prodej, zapůjčení apod.).

Jsem si vědom toho, že užít své diplomové práce či poskytnout licenci k jejímu využití mohu jen se souhlasem TUL, která má právo ode mne požadovat přiměřený příspěvek na úhradu nákladů, vynaložených univerzitou na vytvoření díla (až do jejich skutečné výše).

Diplomovou práci jsem vypracoval samostatně s použitím uvedené literatury a na základě konzultací s vedoucím diplomové práce.

Datum

Podpis

## **Poděkování**

Na tomto místě bych rád poděkoval Ing. Zbyňku Maderovi za podnětné rady a připomínky při vedení mé diplomové práce.

Velký dík také patří rodičům a přítelkyni, protože mi v průběhu studia poskytovali zázemí a podporovali mě hmatně i psychicky.

## ABSTRAKT

Úkolem této diplomové práce je návrh a zrealizování testeru vybraných logických obvodů (MH 7400, MH 7404, MH 7410 atd.).

Tester se skládá z několika hlavních částí: komunikační část, řídicí část, převodní část D/A, část demultiplexorová, část multiplexorová, odpojovací část a část převodní A/D.

Srdcem testeru je mikroprocesor od firmy Dallas řady 89C420, který zastává úlohu řídicí jednotky. Procesor obsahuje firmware, který přes vytvořený komunikační protokol propojí počítač, resp. aplikaci vytvořenou speciálně pro tuto jednotku s hardwarem, který už pracuje s testovaným obvodem.

Tester je ovládán počítačem přes USB rozhraní. Jelikož procesor pracuje s rozhraním RS232, je nutno zařídit převod mezi těmito rozhraními, k tomuto účelu v jednotce slouží modul s obvodem od firmy FTDI. Uživatel pouze vybere testovaný obvod a ostatní probíhá v aplikaci vytvořené v programovacím jazyce Delphi.

Logický obvod lze otestovat dvěma způsoby a to, pomocí pravdivostní tabulky nebo vytvoření převodní charakteristiky.

První způsob testování pravdivostní tabulkou, funguje tak, že přivedeme postupně na jednotlivá hradla, resp. jejich piny, všechny kombinace log. jedniček a log. nul, které mohou nastat a poté změříme výstup z hradla a následně testujeme další hradlo, dokud neotestujeme všechna hradla v obvodu.

Druhý způsob - vytvoření převodní charakteristiky je navržen tak, že na jednotlivé hradlo resp. jeho piny nastavíme log. jedničky nebo log. nuly a současně na jeden z pinů přivedeme analogový signál z D/A převodníku. Postupně na tomto pinu měníme vstupní napětí od 0 V do 5 V a zpět na 0 V a současně měříme pomocí A/D převodníku výstup z tohoto hradla.

Dále tyto vstupní a výstupní hodnoty vložíme do grafu (převodní charakteristika) a zobrazíme ho. Pokud je hradlo v pořádku, nezasahuje závislost do tzv. zakázaných oblastí pro TTL logiku. Celý tester je vytvořen na desce plošných spojů a je autonomní.

Klíčová slova: slaboproudá elektronika, logické obvody, tester.

## ABSTRACT

The theme of this thesis is to design and realize a unit for testing selected logic circuits (MH 7400, MH 7404, MH 7410...).

The whole unit consists of several main parts: Communication part, Operating part, Transfer part D/A, Demultiplex, Multiplex, Disconnecting Switch and Transfer Part A/D.

The heart of the unit is a Microprocessor from the Company Dallas, Line 89C420, which has a role of an operating unit here.

The processor contains firmware which via communication band connects PC or the application, made especially for this unit, with hardware that already works with the tested circuit.

The unit is controlled by PC via USB. As the processor works with RS 232 bus, it is necessary to arrange transfer between these buses. For this purpose there is a module inside a unit with a circuit from company FTDI.

The user only selects a tested circuit and the rest is done by the application made in the program language Delphi.

The logic circuit is possible to test in two ways, by means of truth table and also Transfer characteristics.

The former method works as follows: gradually we bring to Separate Gates, Respectively their pins „log. 1“ or „log. 0“ and then measure gate output and after we prove next gate until we finish testing all gates within the circuit.

The latter way is designed like this: To a single gate, resp. its pins, we extend „log. 1“ or „log. 0“ and at the same time to one of the pins we lead signal from D/A converter. Successively, on this pin we change input tension from 0V to 5V and back to 0V and synchronously with help of A/D converter we measure gate output.

Finally, we Summarize these Input and Output Data in a Graph and Display it. The Whole unit is Realized on a Printed Circuit Board (PCB) and is Autonomous.

# OBSAH

ÚVOD.....	11
1 LOGICKÉ OBVODY.....	12
1.1 Druhy logických obvodů.....	12
1.2 Důležité vlastnosti obvodů.....	13
1.3 Charakteristické parametry.....	13
1.4 Charakteristiky logických integrovaných obvodů.....	16
1.5 Struktura logických obvodů.....	17
1.6 Diagnostika elektronických logických obvodů.....	23
1.6.1 Diagnostické testy.....	23
1.7 Poruchy integrovaných obvodů.....	24
2 TESTOVANÉ OBVODY.....	26
2.1 Rozmístění pinů v testovaných obvodech.....	30
3 HARDWARE.....	31
3.1 Úvodní rozvaha.....	31
3.2 Mikroprocesory.....	34
3.2.1 Mikroprocesor DS 89C420.....	34
3.2.2 Programování mikroprocesoru.....	35
3.2.3 Připojení a nastavení parametrů přenosu.....	35
3.2.4 Možnosti a příkazy interního loaderu.....	35
3.2.5 Postup při programování.....	38
3.2.6 Intel HEX formát.....	39
3.3 Sériové komunikační rozhraní.....	39
3.3.1 Rozhraní USB.....	39
3.3.2 Převodník FT8U232AM.....	40
3.4 A/D a D/A převodníky.....	41
3.4.1 A/D převodníky.....	41
3.4.2 Typy A/D převodníků.....	42
3.4.3 Aproximační převodníky.....	42
3.4.4 A/D převodník TLC 549.....	43
3.4.5 D/A převodníky.....	43
3.4.6 Typy D/A převodníků.....	45

3.4.7 D/A převodník s přičkovou strukturou odporové sítě $R-2R$ .....	45
3.4.8 D/A převodník TLC7528CN.....	46
3.5 Posuvné registry.....	46
3.5.1 Posuvný registr 74HCT4094.....	47
3.6 Multiplexory – demultiplexory.....	48
3.6.1 Multiplexor-demultiplexor 4067.....	48
3.6.2 Multiplexor-demultiplexor 4097.....	49
3.7 Třístavový oddělovač.....	49
3.7.1 Třístavový oddělovač 74HCT244.....	49
4 SOFTWARE.....	50
4.1 Řídící program mikroprocesoru.....	50
4.2 Popis funkce programu.....	50
4.3 Komunikační protokol.....	52
4.4 Přehled příkazů.....	52
4.5 Obslužná aplikace.....	52
4.6 Použité testy pro ověření funkčnosti.....	57
4.6.1 Testování podle pravdivostní tabulky.....	57
4.6.2 Vytvoření převodní charakteristiky.....	59
5 REALIZACE.....	61
5.1 Vyhodnocení.....	61
ZÁVĚR.....	62
POUŽITÁ LITERATURA.....	63
PŘÍLOHY.....	65
Příloha A – Elektrické Schéma + deska plošných spojů testeru.....	66
Příloha B – Elektrické schéma + deska plošných spojů převodníku USB – UART.....	69
Příloha C – Obrázky finální podoby testeru.....	71



### **Obsah přiloženého CD**

- Katalogové listy nejdůležitějších součástek
- Elektrická schémata
- Zdrojový kód programu pro mikroprocesor
- Zdrojový kód obslužné aplikace
- Fotografie testeru
- Diplomová práce

## Seznam použitých symbolů a zkratek

<i>Aj.</i>	- a jiné
<i>AND</i>	- logický součin
<i>Atd.</i>	- a tak dále
<i>č.</i>	- číslo
<i>log. 1</i>	- logická jednička
<i>log. 0</i>	- logická nula
<i>NAND</i>	- logický součin negovaný
<i>Např.</i>	- například
<i>neg.</i>	- negace
<i>Obr.</i>	- obrázek
<i>OR</i>	- logický součet inkusivní
<i>Tab.</i>	- tabulka
<i>Tj.</i>	- to je
<i>Tzv.</i>	- takzvané
<i>UART</i>	- Universal Asynchronous Receiver – Transmitter
<i>viz</i>	- videre licet – lze vidět
<i>XOR</i>	- logický součet eksklusivní
$\Sigma$	- suma, součet

## ÚVOD

V současné době se vyskytuje a následně i používá nepřeberné množství zařízení napájených elektrickou energií. Jen v domácnosti nacházíme zařízení od vysavače přes sušičku ovoce, až po osobní počítač. Všechna tato zařízení nejsou schopna provozu bez elektrické energie. Problém nastává, pokud toto zařízení přestane fungovat i když je tzv. pod napětím. Je nutné závadu objevit a následně i opravit. Pokud sami vytváříme elektrické zařízení, potřebujeme také funkční součástky (elektronické obvody). V obou případech funkčnost součástek zjistíme testovacím zařízením – testerem.

Každé elektrické zařízení obsahuje alespoň jeden, většinou ale i více elektronických obvodů různého druhu, které obstarávají různé operace podle toho, jakou mají v zařízení funkci. My se zaměříme speciálně na elektronické logické obvody.

V dnešní době existují různé testery, které ověří funkci vybraných obvodů např. firma Elnec, spol. s.r.o. vyrábí tzv. pindrivery, pomocí nichž lze otestovat elektronické obvody. Velkou nevýhodou těchto sériových testerů je jejich vysoká cena.

Hlavním cílem mé diplomové práce je navržení a následné zrealizování testeru elektronických logických obvodů řízeného počítačem. Tento tester ověří funkci zkoušeného obvodu podle jeho pravdivostní tabulky. Jeho výhodou oproti ostatním testerům je následné vytvoření a zobrazení převodní charakteristiky jednotlivých hradel obsažených v obvodu. Tester bude komunikovat s počítačem pomocí USB sběrnice.

Diplomová práce je rozdělena do pěti oddílů. Kapitola Logické obvody obsahuje teoretické pasáže o logických obvodech, jejich vlastnostech, parametrech, formách diagnostiky popř. projevech poruch. Část Testované obvody obsahuje kompletní seznam testovaných obvodů i s jejich parametry. Část Hardware rozvádí celkový návrh testeru a uvádí vlastnosti použitých elektronických obvodů. Předposlední část Software podrobně popisuje oba programy, jak řídicí program mikroprocesoru tak uživatelskou aplikaci. Součástí kapitoly jsou i popisy hlavních algoritmů obou programů. Poslední část Realizace obsahuje informace o vlastní realizaci testeru.

# 1 LOGICKÉ OBVODY

Logické obvody umožňují realizovat logické funkce dvou nebo více vstupních (nezávislých) proměnných, z kterých každá může mít při dvouhodnotové logice úroveň logické nuly nebo logické jedničky.

Logickou funkci můžeme popsat algebraickým výrazem pomocí Boolovy algebry, pravdivostní tabulkou, mapou nebo  $n$ - rozměrným tělesem. [1]

Logická proměnná má přiřazenou určitou hodnotu napětí (proudu). Vyjadřuje elementární informaci, která má jednotku bit.

Logická funkce přiřazuje podle určitého pravidla (základem je Boolova algebra) soubor nezávislých logických proměnných, určité hodnoty souboru závislých logických proměnných. Obecně při  $n$  vstupních nezávislých proměnných možno vytvořit  $2^n$  vstupních kombinací a  $2^{2^n}$  logických funkcí (závislých proměnných).

Logický člen realizuje základní elementární logickou funkci. Vhodným výběrem logických členů (např. NAND, NOR) můžeme realizovat logickou funkci jediným typem logického členu, což má praktické výhody.

Logický obvod je sestavený z logických členů, vstupní a výstupní veličiny nabývají hodnot logické nuly a logické jedničky.

Logický signál je druh fyzikální veličiny, která nabývá dvou hodnot (stavů). [1]

## 1.1 Druhy logických obvodů

Logické obvody jsou děleny podle činnosti na kombinační a sekvenční.

Kombinační - výstupní logická proměnná závisí jen na okamžitém stavu vstupních proměnných. Existuje jednoznačné vzájemné přiřazení hodnot vstupních proměnných a hodnot výstupních proměnných. Kombinační obvody neobsahují paměťové prvky.

Sekvenční - výstupní logická proměnná závisí nejen na okamžitém stavu vstupních proměnných, ale také na předcházející posloupnosti vstupních proměnných. Podle časové návaznosti může být synchronní nebo asynchronní. Každý sekvenční obvod má paměťové členy, které obsahují informaci o předcházejícím stavu obvodu. [2]

## 1.2 Důležité vlastnosti obvodů

Číslicové logické obvody jsou vyráběny tak, aby jimi bylo možno realizovat logické funkce. Snahou všech výrobců těchto obvodů je, přiblížit se ideální funkci obvodů. Zejména u kombinačních obvodů to znamená co nejrychlejší nastavení výsledku logické operace na výstup.

Míru přiblížení obvodů ideálním vlastnostem je možno porovnávat pomocí různých hledisek. Důležitými hledisky jsou: velikost zatížení předchozích obvodů obvodem (vstupní charakteristika), napájecí napětí obvodu, zpracování vstupního signálu (převodní charakteristika, zpoždění signálu při průchodu obvodem), zatížitelnost obvodu dalšími obvody (zatěžovací charakteristika), spotřeba obvodu jak v klidovém stavu, tak při přepínání mezi stavy, odolnost obvodu vůči rušení. [1]

## 1.3 Charakteristické parametry

Charakteristické parametry jsou děleny na statické a dynamické. Zde jsou uvedeny nejdůležitější statické i dynamické parametry.

Statické parametry se uvádějí pro nejhorší podmínky z hlediska napájení, zatížení a pracovní teploty. Neberou ohled na přechodné jevy v obvodech.

**Vstupní napětí** (pro úroveň H :  $U_{IH}$ ) je minimální vstupní napětí, při kterém je zaručena správná logická hodnota na výstupu. Pro všechny obvody TTL  $U_{IH} \geq 2 \text{ V}$ .

**Vstupní napětí** (pro úroveň L :  $U_{IL}$ ) je maximální kladné vstupní napětí, při kterém je zaručena správná logická hodnota na výstupu. Pro všechny obvody TTL  $U_{IL} \leq 0,8 \text{ V}$ .

**Výstupní napětí** (pro úroveň H :  $U_{OH}$ ) je maximální kladné vstupní napětí, při kterém je ještě zaručena úroveň H (log. 1) na výstupu. Pro všechny obvody TTL  $U_{OH} \geq 2,4 \text{ V}$ .

**Výstupní napětí** (pro úroveň L :  $U_{OL}$ ) je maximální kladné vstupní napětí, při kterém je ještě zaručena úroveň L (log. 0) na výstupu. Pro všechny obvody TTL  $U_{OL} \leq 0,4 \text{ V}$ .

**Vstupní proud** (při úrovni L :  $I_{IL}$ ) je maximální proud, který vytéká ze vstupu při log. 0 (má zápornou polaritu, kladná polarita je při vtékání do vstupu). Udává se pro jeden vstup  $-I_{IL} < 1,6 \text{ mA}$ .

**Vstupní proud** (při úrovni H :  $I_{IH}$ ) je maximální proud, který vtéká do vstupu při log. 1. Udává se pro jeden vstup.

$$I_{IH} \leq 40 \mu A \quad \text{při} \quad U_I = 2,4 V$$

$$I_{IH} \leq 1 mA \quad \text{při} \quad U_I = 5,5 V$$

**Logický zisk**  $N$ , někdy se užívá i pojem zatížitelnost výstupů. Udává počet vstupů logických členů toho určitého typu, kterými je možné zatížit výstup daného logického členu. U běžných logických obvodů  $N = 10$ , u výkonových  $N = 30$ .

**Odolnost proti rušení** při náhodné změně napájecího napětí nebo vlivem rušení může dojít k tomu, že napětí na výstupu překročí definovaný rozsah příslušné úrovně. Parametry jsou však specifikované tak, že i při určitém rušení se zachovává správná činnost obvodů.

Dynamické parametry popisují vlastnosti logických obvodů po dobu přenosu signálu ze vstupu na výstup.

**Doba zpoždění**  $t_p$  je doba, která je potřebná k přenosu změny stavu logické proměnné ze vstupu na výstup logického obvodu. Ke zpoždění dochází, protože výstupní signál nereaguje okamžitě na přivedený vstupní signál. Příčinou je hlavně přesycení tranzistorů. Doba zpoždění je definovaná na napěťové úrovni blízké rozhodovací úrovni. Doba zpoždění při přechodu výstupního signálu z log. 1 do log. 0 se označuje  $t_{PHL}$ , při přechodu z log. 0 do log. 1 se označuje  $t_{PLH}$ . Střední hodnota doby zpoždění se spočítá jako aritmetický průměr těchto hodnot.

**Dynamická odolnost proti rušení** se těžko vyčísluje, neboť na obvod v dynamickém režimu působí mnoho vlivů (amplituda rušivého impulsu, vnitřní odpor zdroje rušení, parazitní kapacita aj.). Dynamická odolnost proti rušení koresponduje s necitlivostí obvodu na rušení při výskytu impulsů se šířkou menší, než je doba zpoždění  $t_p$ , jestliže amplituda přesahuje hodnotu statické odolnosti. Udává se zpravidla grafická závislost mezi amplitudou  $U_I$  a šířkou impulsu  $t_i$  rušícího signálu na vstupu. Doba zpoždění  $t_p$  určuje hranici, do které se uplatňuje dynamická odolnost proti rušení.

Dynamické parametry se na rozdíl od statických parametrů neuvádějí pro nejnepríznivější případ pracovních podmínek. Uvádějí se pro typické (doporučované) podmínky.

U složitějších logických obvodů a klopných obvodů musí být signály na vstupech přítomny v určité časové oblasti. Tato časová závislost se definuje dobou předstihu a dobou přesahu.

**Doba předstihu**  $t_{\text{set up}}$  je časový interval, o jehož velikost musí předcházet vstupní signál obvodu před náběžnou, případně sestupnou hranou taktovacího (synchronizačního) impulsu.

**Doba přesahu**  $t_{\text{hold}}$  je časový úsek, po který musí setrvat informace na datovém vstupu po skončení náběhu, případně doběhu taktovacího (synchronizačního) impulsu.

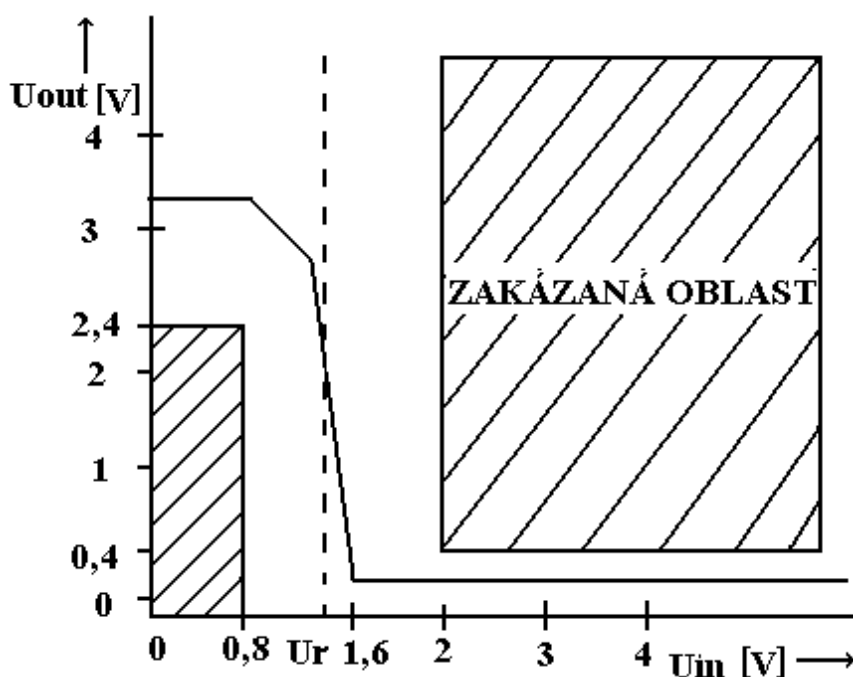
**Maximální opakovací frekvence hodinových impulsů**  $f_{\text{hod}}$  udává maximální použitelnou frekvenci synchronizačního signálu. [1]

## 1.4 Charakteristiky logických integrovaných obvodů

Všechny vlastnosti logických integrovaných obvodů vycházejí ze základních charakteristik. Nejčastěji jde o převodní, vstupní, výstupní a odběrovou charakteristiku.

### Převodní charakteristika

Převodní charakteristika je závislost výstupního napětí na vstupním napětí  $U_o = f(U_i)$  při určitém napájecím napětí a zátěži. Typický průběh převodní charakteristiky invertoru se strukturou TTL je zobrazen na obr. 1.



Obr. 1 Převodní charakteristika TTL obvodu

Z této charakteristiky je možné určit rozpětí vstupního a výstupního napětí pro log. 0 i log. 1. Strmá část charakteristiky odpovídá rozhodovací oblasti, ve které jsou tranzistory v aktivní oblasti. Z důvodu výrazného stoupání proudového odběru (oba koncové tranzistory jsou otevřené) je žádoucí, aby přechod uvedenou oblastí byl co nejrychlejší. Převodní charakteristika nesmí vybočit z oblasti vymezené vyšrafovanými hranicemi, která je určena hodnotami log. 0 a log. 1 pro vstupní a výstupní napětí. Z charakteristiky je možné určit rozhodovací úroveň vstupního napětí a statickou odolnost proti rušení.



### Vstupní charakteristika

Vstupní charakteristika je závislost vstupního proudu na vstupním napětí  $I_I = f(U_I)$ . Závislost je důležitá pro určení zatížitelnosti výstupů logických obvodů a určení logického zisku  $N$ .

### Výstupní charakteristika

Výstupní charakteristika je závislost výstupního napětí na výstupním proudu  $U_O = f(I_O)$ . Udávají se dvě charakteristiky. První je závislost výstupního napětí  $U_{OH}$ , při úrovni log. 1, na výstupním proudu  $I_O$ . Z charakteristiky je možné odčíst maximální odebraný proud při minimální hodnotě napětí na výstupu při úrovni log.1. Druhá je závislost výstupního napětí  $U_{OL}$ , při úrovni log. 0, na výstupním proudu  $I_O$ . Zde je možné odečíst maximální odebraný proud při maximální hodnotě napětí na výstupu pro úroveň log. 0.

Z uvedených charakteristik lze vyvodit proudovou zatížitelnost výstupů. Pokud zapojíme logické obvody za sebou, potom logický zisk  $N$  (pro log. 1 na výstupu) je možné vypočítat  $N = I_{OH}/I_{IH}$ . Pro úroveň log. 0 na výstupu bude logický zisk  $N = I_{OL}/I_{IL}$ . Při praktickém použití potom počítáme s menší hodnotou logického zisku  $N$ .

### Odběrová charakteristika

Proudový odběr logického členu je různý pro obě úrovně log. 0 i log. 1 na výstupu. Odběrová charakteristika je závislost odebíraného proudu na vstupním napětí  $I_{CC} = f(U_I)$ . [1]

## **1.5 Struktura logických obvodů**

Logické obvody z hlediska vnitřní struktury (zapojení) mohou být realizované buď z diskrétních prvků (tranzistorů, diod, odporů, kondenzátorů) nebo jako *integrované* logické obvody. Integrované obvody mohou být *hybridní* v kompaktním provedení na keramické destičce realizované z čipů aktivních součástek a vrstevných pasivních součástek, a nebo v provedení *monolitickém*, kde aktivní a pasivní prvky jsou realizované na jedné křemíkové destičce. V současné době jsou nejpoužívanější monolitické obvody realizované technologií bipolárních obvodů a obvodů typu CMOS.

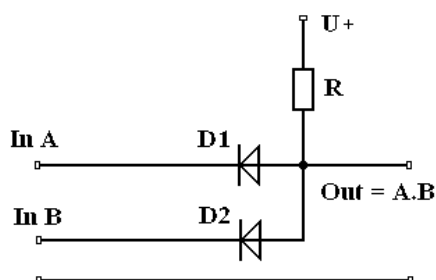
Logické obvody se skládají z jednotlivých elementárních logických členů – hradel. Jednotlivé řady logických obvodů se liší především provedením hradla. Následně jsou popsány vybrané vnitřní struktury logických obvodů. [1]

## **DL Diodová logika**

Tato technologie využívá ke své funkci spínacího režimu diody. Dioda představuje v propustném směru malý odpor a v závěrném směru odpor velký. Toho se využívá při tvoření dvoustavového (binárního) signálu. Na obr. 2 je zapojení dvouvstupového logického součinu AND. Pokud je alespoň na jednom ze vstupů (počet vstupů může být libovolný) log. 0, příslušná dioda se otevře, protože její katoda bude mít nižší potenciál než anoda. Potenciál anody této diody klesne, což se přenesse na výstup hradla jako log. 0. Na výstupu obvodu bude log. 1 jen tehdy, pokud budou všechny diody uzavřené. Toto je splněno pouze tehdy, pokud bude na všech vstupech log. 1.

Největší výhodou diodové logiky je její jednoduchost. Tato technologie byla jednou z prvních používaných. Vlastní realizace je jednoduchá, levná, postačí poměrně malý příkon. Spínací rychlost závisí na spínacích vlastnostech použitých diod. Velkou nevýhodou diodové logiky je, že nelze vytvořit logickou negaci. A pokud není použitý aktivní prvek, má malý logický zisk (omezená možnost připojit víc vstupů na výstup obvodu).

[1]

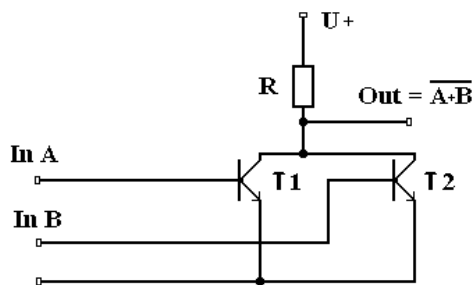


*Obr. 2 Schéma diodové logiky*

## **DCTL Logika s přímo vázanými tranzistory**

Tato technologie využívá ke své funkci tranzistory. Pro vytvoření logické funkce NOR se dvěma vstupy je zapotřebí dvou tranzistorů, jejichž kolektory jsou spojené do jednoho uzlu se společným pracovním odporem  $R$ , což představuje výstup obvodu. Báze tranzistorů představují vstupy hradla. Zapojení logiky DCTL je na obr. 3, tímto způsobem je možné vytvořit  $n$ -vstupový logický člen. Pokud se objeví alespoň na jednom vstupu log. 1, příslušný tranzistor se otevře a na jeho výstupu (kolektoru) poklesne napětí, což představuje úroveň log. 0. Jestliže je na všech vstupech úroveň log. 0, tranzistory jsou uzavřené a na výstupu je log. 1. Tranzistory jsou zapojené jako

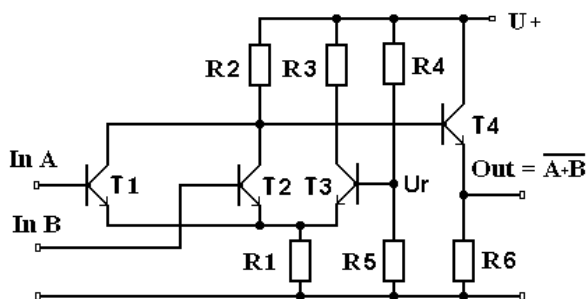
paralelní spínače. Obvody se vyznačují jednoduchostí, na výstupu postačuje malý budící signál, taktéž ztrátový výkon je relativně malý. Za nevýhodu je považováno, zvláště při větším počtu vstupů, velký počet tranzistorů a snížení rychlosti spínání tranzistorů, které souvisí s možností přesycení tranzistorů, protože není omezený bázevý proud. V současné době se obvody v uvedeném zapojení už nevyrábějí, ale principy byly použity při výrobě obvodů RTL, RCTL a MOS TL. [1]



Obr. 3 Schéma s přímo vázanými tranzistory

### **ECL Emitorova vázaná logika**

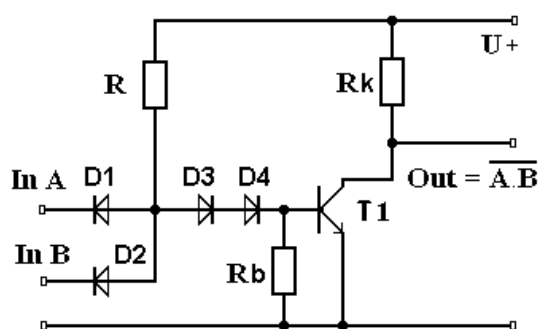
Tato struktura bývá též označována CML (Current Mode Logic). Jednotlivé vstupní tranzistory mají společný emitorový rezistor, jakoby emitorové sledovače. Z tohoto důvodu nemůže dojít k přesycení tranzistorů. Zapojení je na obr.4. Tranzistory  $T_1$  a  $T_2$  v jedné větvi a tranzistor  $T_3$  v druhé větvi pracují jako diferenciální zesilovače. Tranzistor  $T_4$  tvoří oddělovací stupeň. Pokud je zapojen oddělovací stupeň na kolektor tranzistoru  $T_3$ , získá se tím (negovaný) výstup. Odpory  $R_4$  a  $R_5$  tvoří referenční úroveň napětí  $U_r$ , v jiném případě může být úroveň vytvořena zvláštním stabilizovaným zdrojem napětí. Odpor  $R_1$  zavádí zápornou zpětnou vazbu, která zamezuje přesycení tranzistorů. Dosáhne se tím velmi krátkých spínacích dob (jednotky ns). Zapojení má však vyšší spotřebu a realizace je výrobně složitější. [1]



Obr. 4 Schéma emitorově vázané logiky

## DTL Diodo-tranzistorová logika

Tato struktura vychází z diodové logiky DL. Schéma struktury DTL je na obr. 5. Diody D1 a D2 spolu s odporem R tvoří logický součin. Tranzistor T jako aktivní prvek funguje v úloze invertoru. Diody D3 a D4 jsou tzv. „posouvací diody“, zabezpečují dokonalé uzavření tranzistoru T, pokud je otevřená některá ze vstupních diod D1 nebo D2. Diody D3 a D4 posouvají spínací úroveň tranzistoru T tím, že při jejich otevření je potřeba větší napětí z výstupu součinného členu D1, D2 a R. Když jsou všechny vstupy na úrovni log. 1, diody D1, D2 jsou uzavřené, báze tranzistoru je buzena přes R a otevřené diody D3, D4. Tranzistor je ve vodivém stavu a na výstupu je log. 0. Pokud je alespoň na jednom vstupu log. 0, příslušná vstupní dioda se otevře, čímž je na její anodě menší napětí (skoro nulové), jako je potřeba pro otevření posouvajících diod a přechodu tranzistoru. Potom je tranzistor T uzavřený a na výstupu je log. 1. Logika DTL vykazuje dobrou odolnost proti rušení a poměrně vysokou spínací rychlost. Kapacita posouvajících diod současně zlepšuje spínací rychlost, působí jako urychlovací kapacita. Výhodou je jednoduchost struktury obvodů, přepólováním vstupních diod se změní logický součin na součet. Tato struktura představuje už přechod k čistě tranzistorovým strukturám.

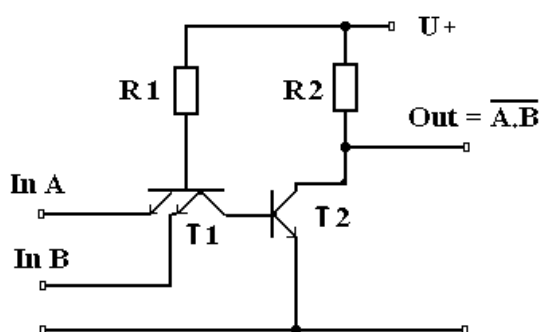


Obr. 5 Schéma Diodo – Tranzistorové logiky

Technologie Odporovo-tranzistorová logika a logika rezistor-kapacita-tranzistor vychází z DL a DCTL. [1]

## TTL Logika tranzistor-tranzistor

Tato technologie logických obvodů využívá ke své činnosti pouze tranzistorů. V integrovaném provedení jsou aktivní a pasivní prvky vyráběny stejnou technologií. Tato logika je v současné době hodně rozšířená, ale stále více se používají obvody využívající technologii CMOS. Vývojově vychází z DTL logiky, kde diody jsou nahrazené víceemitorovými tranzistory. Principiální zapojení je na obr. 6. Přechod báze – emitor tranzistoru T1 nahrazuje vstupní diody DTL logiky, přechod báze – kolektor nahrazuje posouvající diody.



Obr. 6 Principiální zapojení TTL logiky

Pokud je alespoň na jednom vstupu log. 0, příslušný přechod báze – emitor tranzistoru T1 se otevře, poté báze tranzistoru T2 nemá dostatečné napětí (je téměř nulové) k otevření přechodu báze – emitor. Tranzistor T2 je zavřený a na výstupu je log. 1.

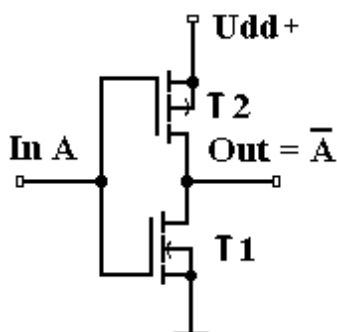
Jakmile je na všech vstupech log. 1, tranzistor T1 pracuje v inverzním zapojení (báze – emitor uzavřený, báze – kolektor otevřený). Potom je proud do báze tranzistoru T2 je dostatečně velký, proto je tranzistor T2 otevřený a na výstupu je log. 0.

Mezi velké přednosti TTL logiky patří poměrně vysoká spínací rychlost. Tato vlastnost podporuje i zkrácení doby uzavření tranzistoru T2 odčerpáním přebytečného náboje přes tranzistor T1, který je v „normálním“ režimu (báze – emitor vodivý).

Jelikož bylo nutné snížit dobu zpoždění, byly vyvinuty další struktury TTL, např. S TTL, FAST. Další vylepšení přineslo použití Schottkyho antisaturačních diod, které zapříčinilo snížení příkonu u struktur LS-TTL a ALS-TTL. [1],[3]

## Logika s tranzistory CMOS

Základ struktury tvoří tranzistory řízené polem MOS FET. Protože se používá N kanál i P kanál označují se jako CMOS (Complementary MOS). Jejich zásadní výhodou je, na rozdíl od TTL, že v klidovém stavu neodebírají proud. Na obr. 7 je schéma základního CMOS invertoru. Při nulovém vstupním napětí tranzistor T1 s kanálem P vede a T2 s N kanálem nevede. Na výstupu je napájecí napětí. S rostoucím vstupním napětím se postupně T2 otvírá a T1 zavírá. Při dosažení rozhodovací úrovně, což je přibližně polovina napájecího napětí, částečně vedou oba tranzistory a protéká jimi proud. Při dalším zvyšování napětí se T1 zcela zavře a vede pouze T2.



*Obr. 7 Principiální zapojení CMOS invertoru*

Standardní CMOS logické obvody jsou vývojově nejstarší. Obsahují tranzistory s hliníkovou řídicí elektrodou. Jejich napájecí napětí je v rozmezí 3 až 15V. Následně byly vyvinuty tzv. rychlé logické obvody HC MOS. Ty využívají tranzistory CMOS s polykrystalickou Si řídicí elektrodou. Úpravou vstupů HC MOS, z důvodu kompatibility s napětíovými úrovněmi na výstupu TTL vznikly logické obvody HCT MOS. Pro vyšší rychlosti vznikly obvody AC MOS, které jsou kompatibilní s TTL jako HCT. Kde však nepostačují rychlostně TTL ani CMOS, lze využít výše popsanou emitorově vázanou logiku ECL.

[1], [3]

## 1.6 Diagnostika elektronických logických obvodů

Do této doby používaná technologie výroby elektronických číslicových obvodů nedokáže zaručit bezchybný provoz po dobu, po kterou mají být tyto obvody používány. Proto se nedílnou součástí výroby i provozu elektronických obvodů stala kontrola jakosti těchto obvodů.

Úkolem diplomové práce není jen navrhnout a zrealizovat tester logických obvodů, nedílnou částí návrhu je i správná volba testu, který bude použit a také analýza chyb, které se mohou při testování vyskytnout.

### Kombinační obvody

V kombinačních obvodech je vždy výstupní vektor, nebo-li uspořádaná  $n$ -tice hodnot výstupních proměnných, vždy jednoznačně dána současným vstupním vektorem, což je také uspořádaná  $n$ -tice hodnot vstupních proměnných přivedená v určitém okamžiku na vstupy logického obvodu. [4]

### 1.6.1 Diagnostické testy

Dvě základní úlohy, detekce a lokalizace poruchy, se řeší pomocí diagnostických testů. Test číslicového systému se skládá ze dvojice vzájemně přiřazených vstupních a výstupních vektorů. Jeden vstupní vektor a jemu odpovídající výstupní vektor se nazývá krok testu.

Jedním z důležitých parametrů testu je diagnostické pokrytí, které udává počet poruch detekovaných testem. Test, jehož pokrytí je 100%, se označuje jako *úplný*. Úplných testů je pro každý obvod neomezený počet, neboť úplný test lze libovolně rozšiřovat o další kroky, aniž by se na jeho pokrytí něco změnilo. Úplný test, z něhož nelze vypustit žádný krok bez ztráty úplnosti, se nazývá *neredundantní*. Úplný test s nejmenší délkou se nazývá *minimální*.

Další typ testu, který prozkouší všechny možné funkce, které má testovaný obvod realizovat, představuje opačný extrém z hlediska délky testu. Tento test bývá označován jako *triviální test*. Pro  $n$ -vstupový kombinační obvod má triviální test délku  $2^n$  kroků a skládá se ze všech možných  $n$ -bitových vektorů. Tento test se používá pouze pro obvody s malým počtem vstupů. Pro obvody s několika desítkami vstupů je nerealizovatelný. Ostatní typy testů jsou podrobně popsány v [4].

Pro ověření funkčnosti testovaných obvodů byl v této diplomové práci zvolen triviální test. Nebylo třeba používat testy, které potřebují určité minimalizace, neboť všechny testované obvody mají málo vstupů, a proto postačí tento jednoduchý test. Triviální test byl zvolen jako neoptimálnější. Jedná se tedy o otestování obvodu dle jeho pravdivostní tabulky, neboť v ní jsou všechny kombinace možných vstupních vektorů.

## **1.7 Poruchy integrovaných obvodů**

Integrované obvody se vyrábějí hromadně v plátku křemíku pomocí planárně epitaxního procesu. Rozřezáním plátku vzniknou křemíkové destičky, tzv. čipy, které obsahují aktivní i pasivní součástky a na povrchu hliníkovou propojovací síť s kontaktovacími ploškami. Čipy jsou připájeny zadní stranou na kovarový nosný rámeček, připojeny zlatými drátky od kontaktovacích plošek čipu k vývodům pouzdra a zastříknuty do pouzdra z plastu.

Technologicky nejslabším místem integrovaného obvodu jsou jeho vývody, neboť cesta signálu z čipu vede přes dva termokompresní nebo ultrazvukové svary; hliníková ploška - zlatý drátek a zlatý drátek - kovarový vývod. Při pájení, skladování i provozu působí na pouzdro teplotní změny, ty způsobují roztahování a smršťování materiálu pouzdra oproti propojovacím drátkům a kontaktům. To může vést postupně k přerušení vodivé cesty, které může být stálé, nebo nestálé v závislosti na teplotě. Při určité teplotě může být přerušený spoj přidržován okolním materiálem a vykazuje vodivost, teprve při změně teploty dojde k přerušení vodivé dráhy. Přerušení přívodních zlatých drátků může být způsobeno i vyšším tlakem během zastříkávání do plastu. Nepříznivý vliv na jakost spoje zlato-hliník má vyšší teplota (150 °C) podporující vytváření intermetalické sloučeniny na rozhraní obou kovů. Na kontakty i spoje také nepříznivě působí vlhkost. Nedokonalé plastové pouzdro propustí vlhkost až k čipu a zlatý drátek a hliníková kontaktovací ploška zde za přítomnosti vody vytvářejí elektrolytický článek, který časem způsobí trvalé přerušení spoje.

Poruchy hliníkových spojů na čipu mohou být způsobeny poškrábáním, nečistotami nebo prasklinami (většinou nestálé přerušení vodivé cesty). Charakteristický je také mechanismus transportu látky, vznikající většinou na mechanicky poškozených nebo elektricky přetěžovaných spojkách. Při velkých hustotách proudu ve spoji a zvýšené teplotě dochází k transportu iontů hliníku ve směru toku elektronů. Tím vznikají v některých místech spoje úbytky hliníku, které se stupňují



a mohou způsobit přerušení vodivé cesty. V jiných místech, kde je záporný gradient teploty nebo hustoty proudu, se mohou ionty hliníku naopak hromadit ve formě keříčků a způsobit zkrat mezi sousedními spoji. Příčinou zkratu mezi spoji může být také špatně odleptaný hliník.

Ve vrstvě  $\text{SiO}_2$  ležící pod hliníkovými spoji se někdy vyskytují jamky nebo díry. Jsou-li vyplněny hliníkem, mohou být příčinou zkratů. Nerovnoměrné rozložení příměsí zlata u obvodů TTL může způsobit zvětšení saturačních zpoždění tranzistorů. Zhoršení povrchových vlastností polovodiče má za následek zvýšení inverzních proudů. Oba mechanismy mohou způsobit překročení mezních parametrů obvodu.

Poruchy mohou nastat nejen při výrobě integrovaného obvodu, ale také např. mechanicky, např. ulomením vývodu, nedokonalou pájitelností vývodů a nedokonalým označením.

Poměrné zastoupení jednotlivých druhů poruch integrovaných obvodů se velmi mění se změnami výrobního procesu i kontrolních a měřicích operací u výrobce. Např. u obvodů řady MH74XX v počátku sériové výroby převládala porucha přerušení vývodu, která měla často nestálý charakter.

Další poruchy integrovaných obvodů může způsobit uživatel neopatrností nebo nevhodným elektrickým návrhem logických obvodů. Zvláště v těch částech systému, kde se ještě používají napětí vyšší než 5 V nebo napětí záporná, je nebezpečí značné. Nejčastěji se vyskytuje průraz vstupního tranzistoru, který vzniká tehdy, když napětí mezi emitory jednoho vstupního tranzistoru překročí 5,5 V při dostatečně tvrdých zdrojích. Průraz vstupního tranzistoru může způsobit také elektrostatický náboj pracovníka při manipulaci se součástkou.

Existuje však také mnoho režimů, které sice nezpůsobí bezprostředně destrukci, ale mají za následek podstatné zkrácení doby života integrovaného obvodu. Jde vesměs o takové režimy, kde se trvale nebo přechodně překračují technické podmínky, jako např. při použití kapacitních vazeb, velkých kapacitních zátěží, buzení relé nebo žárovek.

[4]

## 2 TESTOVANÉ OBVODY

Zadání diplomové práce požaduje navrhnout a sestavit tester vybraných logických obvodů se strukturou TTL nebo z ní vycházející. Jedná se o logické obvody kombinační se strukturou TTL: MH 7400, MH 7404, MH 7408, MH 7410, MH 7411, MH 7420, MH 7421, MH74 30, MH 7432, MH 7486. Všechny tyto obvody jsou 14pinové a jsou umístěny v pouzdře DIL 14. Tester je navržen tak, aby vyhovoval typu pouzdra testovaného obvodu. V této kapitole jsou dále popsány jednotlivé testované obvody.

### **MH 7400**

Obvod 7400 obsahuje čtyři nezávislá dvouvstupová hradla NAND. Každé hradlo realizuje funkci negovaného logického součinu dvou proměnných A a B.  $Y = \text{neg}(A \cdot B)$ . Na výstupu bude log. 0 pouze, budou-li oba vstupy v log. 1. [5]

<b>7400</b>			
stavy	A	B	Y
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0

*Tab. 1 Pravdivostní tabulka dvouvstupového hradla NAND*

### **MH 7404**

Obvod 7400 obsahuje šest nezávislých invertorů. Každé hradlo realizuje funkci negace.  $Y = \text{neg } A$ . [5]

<b>7404</b>		
stavy	A	Y
0	0	1
1	1	0

*Tab. 2 Pravdivostní tabulka invertoru*

### **MH 7408**

Obvod 7408 se skládá ze 4 nezávislých dvouvstupových hradel AND. Každé hradlo realizuje funkci logického součinu dvou proměnných A a B.  $Y = A.B$ . Na výstupu bude log. 1 pouze, budou-li oba vstupy v log. 1. [5]

<b>7408</b>			
stavy	A	B	Y
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

*Tab. 3 Pravdivostní tabulka dvouvstupového hradla AND*

### **MH 7410**

Obvod 7410 obsahuje tři nezávislá třívstupová hradla NAND. Každé hradlo realizuje funkci negovaného logického součinu tří proměnných A , B, C.  $Y = \text{neg} (A.B.C)$ . Na výstupu bude log. 0 pouze, budou-li všechny vstupy v log. 1. [5]

<b>7410</b>			
A	B	C	Y
0	X	X	1
X	0	X	1
X	X	0	1
1	1	1	0

*Tab. 4 Pravdivostní tabulka třívstupového hradla NAND*

### **MH 7411**

Obvod 7411 se skládá ze tří nezávislých třívstupových hradel AND. Každé hradlo realizuje funkci logického součinu tří proměnných A , B, C.  $Y = A.B.C$  . Na výstupu bude log. 1 pouze, budou-li všechny vstupy v log. 1. [5]

<b>7411</b>			
A	B	C	Y
0	X	X	0
X	0	X	0
X	X	0	0
1	1	1	1

*Tab. 5 Pravdivostní tabulka třívstupového hradla AND*

### **MH 7420**

Obvod 7420 obsahuje čtyři nezávislá dvouvstupová hradla NAND. Každé hradlo realizuje funkci negovaného logického součinu čtyř proměnných A , B, C, D.  $Y = \text{neg}(A.B.C.D)$ . Na výstupu bude log. 0 pouze, budou-li všechny vstupy v log. 1. [5]

<b>7420</b>				
A	B	C	D	Y
0	X	X	X	1
X	0	X	X	1
X	X	0	X	1
X	X	X	0	1
1	1	1	1	0

*Tab. 6 Pravdivostní tabulka dvouvstupového hradla NAND*

### **MH 7421**

Obvod 7411 se skládá ze čtyř nezávislých dvouvstupových hradel AND. Každé hradlo realizuje funkci logického součinu čtyř proměnných A , B, C, D.  $Y = A.B.C.D$  . Na výstupu bude log. 1 pouze, budou-li všechny vstupy v log. 1. [5]

<b>7421</b>				
A	B	C	D	Y
0	X	X	X	0
X	0	X	X	0
X	X	0	X	0
X	X	X	0	0
1	1	1	1	1

*Tab. 7 Pravdivostní tabulka dvouvstupového hradla AND*

pozn. symbol X nemá vliv na funkci může být log. 0 i log. 1.

### **MH 7430**

Obvod 7430 obsahuje osmivstupové hradla NAND. Realizuje funkci negovaného logického součinu osmi proměnných A až H.  $Y = \text{neg}(A.B.C.D.E.F.G.H)$ . Na výstupu bude log. 0 pouze, budou-li všechny vstupy v log. 1. [5]

<b>7430</b>								
A	B	C	D	E	F	G	H	Y
0	X	X	X	X	X	X	X	1
X	0	X	X	X	X	X	X	1
X	X	0	X	X	X	X	X	1
X	X	X	0	X	X	X	X	1
X	X	X	X	0	X	X	X	1
X	X	X	X	X	0	X	X	1
X	X	X	X	X	X	0	X	1
X	X	X	X	X	X	X	0	1
X	X	X	X	X	X	X	X	0
1	1	1	1	1	1	1	1	1

*Tab. 8 Pravdivostní tabulka hradla NAND*

### **MH 7432**

Obvod 7432 obsahuje čtyři nezávislá dvouvstupová hradla OR. Každé hradlo realizuje funkci logického součtu dvou proměnných A a B.  $Y = A + B$ . Na výstupu bude log. 0 pouze, budou-li oba vstupy v log. 0. [5]

<b>7432</b>			
stavy	A	B	Y
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	1

*Tab. 9 Pravdivostní tabulka čtyřvstupového hradla OR*

## MH 7486

Obvod 7486 se skládá ze čtyř nezávislých dvouvstupových hradel EX-OR. Každé hradlo realizuje funkci  $Y = \text{neg } A.B + A.\text{neg } B$ . Na výstupu bude log. 1 pouze, když hodnota vstupu A se nerovná hodnotě vstupu B. [5]

7486			
stavy	A	B	Y
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0

Tab. 10 Pravdivostní tabulka čtyřvstupového hradla EX-OR

## 2.1 Rozmístění pinů v testovaných obvodech

Pro jednodušší rozvahu při návrhu byla vytvořena tato tabulka, obsahující rozmístění pinů testovaných obvodů. Vyplývá z ní, že piny obvodu 7430 nekorrespondují s ostatními piny, tato problematika je popsána v oddíle Realizace.

	7400	7404	7408	7410	7411	7420	7421	7430	7432	7486
1	In A1	In A1	In A1	In A1	In A1	In A1	In A1	In A1	In A1	In A1
2	In A2	Out A	In A2	In A2	In A2	In A2	In A2	In A2	In A2	In A2
3	Out A	In B1	Out A	In B1	In B1	NC	NC	In A3	Out A	Out A
4	In B1	Out B	In B1	In B2	In B2	In A3	In A3	In A4	In B1	In B1
5	In B2	In C1	In B2	In B3	In B3	In A4	In A4	In A5	In B2	In B2
6	Out B	Out C	Out B	Out B	Out B	Out A	Out A	In A6	Out B	Out B
7	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
8	Out D	Out F	Out D	Out C	Out C	Out B	Out B	Out A	Out D	Out D
9	In D1	In F1	In D1	In C3	In C3	In B4	In B4	NC	In D1	In D1
10	In D2	Out E	In D2	In C2	In C2	In B3	In B3	NC	In D2	In D2
11	Out C	In E1	Out C	In C1	In C1	NC	NC	In A8	Out C	Out C
12	In C2	Out D	In C2	Out A	Out A	In B2	In B2	In A7	In C2	In C2
13	In C1	In D1	In C1	In A3	In A3	In B1	In B1	NC	In C1	In C1
14	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc

Tab. 11 Tabulka testovaných obvodů s rozmístěním pinů

NC... Not internal connection (nezapojeno)

## 3 HARDWARE

Tento oddíl obsahuje úvodní rozvahu řešení návrhu testeru. Následují podrobné popisy bloků, z nichž se celý tester skládá.

### 3.1 Úvodní rozvaha

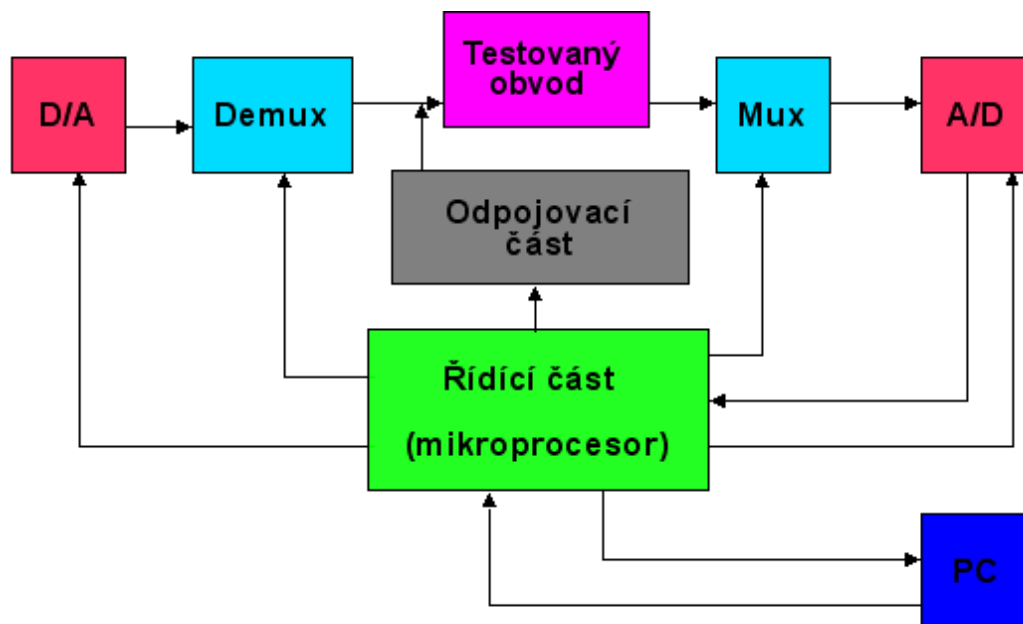
Návrh zapojení testeru byl odvozen z druhů testovaných obvodů, neboť všechny kombinační logické obvody mají jiné pozice vstupních i výstupních pinů jednotlivých hradel v pouzdře. Shodují se výjimečně. Každý druh obvodu má jiný počet hradel, což komplikovalo návrh. Zrealizovat zcela univerzální tester pro všechny typy kombinačních obvodů by bylo celkem složité. Úkolem této diplomové práce bylo ovšem zrealizovat tester nejvíce používaných logických obvodů, podrobněji viz kapitola 2 Testované obvody.

Důležitou součástí návrhu bylo vytvoření tabulky testovaných obvodů, která obsahuje jednotlivá rozmístění pinů a hradel v obvodu. Jelikož byly zvoleny dva testy pro ověření funkčnosti obvodů, a to test pravdivostní tabulkou a vykreslení převodní charakteristiky, musel se při návrhu brát ohled i na tyto okolnosti.

K testu pravdivostní tabulkou by stačilo pouze připojit na vstupy testovaného obvodu, resp. jednotlivá hradla, výstupy z mikroprocesoru. Postupně by se měnila vstupní hodnota a na výstupu z hradel by se ověřovalo zda výstupní hodnota odpovídá pravdivostní tabulce. Pro tyto testované obvody by ovšem bylo nutné použít mikroprocesor s větším počtem vstupně-výstupních pinů, které by obsadily všechny kombinace vstupních i výstupních pinů, které mohou nastat u jednotlivých typů obvodů.

Tester bylo nutné navrhnout tak, aby dovedl vytvořit převodní charakteristiku daného obvodu. K tomuto účelu musel tester obsahovat převodník D/A, kterým bylo převedeno digitální číslo z mikroprocesoru na analogový signál, a ten se přivedl na jeden z vstupních pinů. Ostatní vstupní piny mají své logické hodnoty takové, aby bylo možno tuto charakteristiku vytvořit. Na výstup hradla byl připojen A/D převodník, který výstupní analogový signál převedl zpět na digitální číslo a to bylo přivedeno zpět do mikroprocesoru. Z těchto naměřených hodnot vznikla převodní charakteristika.

Tester je tvořen několika hlavními částmi: řídicí, převodní D/A a A/D, demultiplexorová a multiplexorová a část odpojovací. viz obr. 8.



Obr. 8 Blokové schéma testeru

Návrh testeru pro vybrané logické obvody se také odvíjel od výběru mikroprocesoru. Je to hlavní část celého testeru, která řídí a ovládá všechny části.

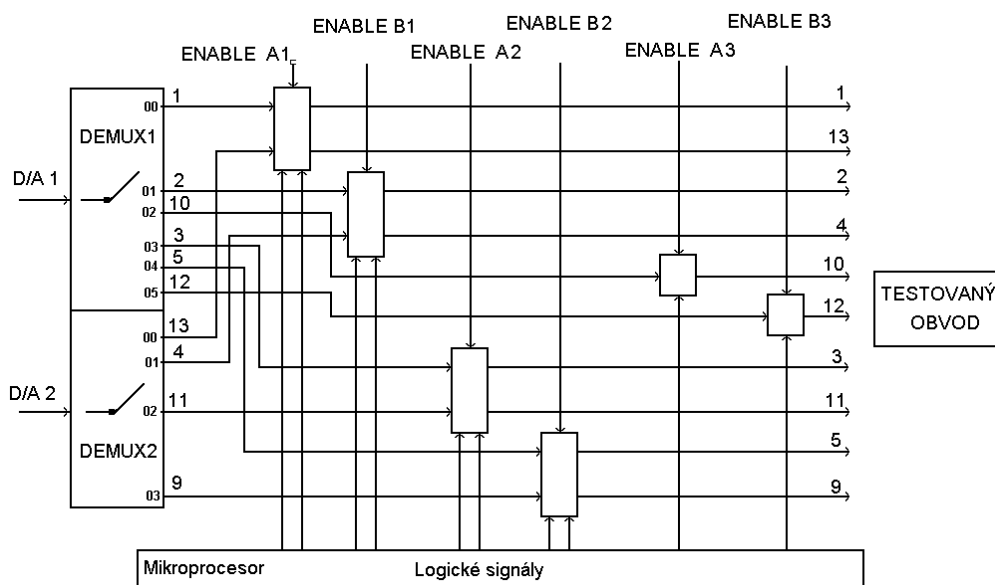
Je nezbytně nutné přepínat testovací signál mezi všemi vstupními piny jednotlivých hradel v obvodu tak, aby ho bylo možné celý otestovat. Poznatek vzniklý prozkoumáním tabulky s obvodu vedl k rozhodnutí užít demultiplexor s možností přepnutí na 10 vstupních pinů. Výstupních pinů bylo osm, proto bylo třeba hledat multiplexor, který bude přepínat minimálně mezi těmito osmi výstupními piny.

Převodní charakteristika vznikla tak, že na vstupní pin hradla se přivedl proměnný analogový signál. Byl použit D/A převodník, pomocí něhož se na vstupní pin přivedlo napětí od 0 V po kroku 0,2 V až do 5 V. Převodník D/A byl vybrán TLC7528CN, který v sobě obsahuje dva D/A převodníky. Z tohoto důvodu byl zvolen i demultiplexor 4097, který obsahuje také dva demultiplexory. Tato myšlenka byla zvolena z toho důvodu, aby stačilo použít co nejméně oddělovačů a to tři. Každý vstupní pin musí být připojen jak k mikroprocesoru – logické signály, tak k D/A převodníku přes demultiplexor. Bylo nutné tyto dvě funkce od sebe oddělit, aby se navzájem neovlivňovaly. Testuje-li se podle pravdivostní tabulky, nesmí být tento pin připojen k analogovému signálu a naopak.



Pokud je realizována převodní charakteristika, musí oddělovač odpojit logický signál z mikroprocesoru od analogového z D/A převodníku. Oddělovač tedy logický signál z mikroprocesoru převedl do stavu vysoké impedance, čímž tento signál neovlivnil analogový signál z D/A převodníku. Na tomto vstupním pinu bylo možno měnit napětí a tím vytvořit výše zmíněnou převodní charakteristiku.

Obr. 9 představuje zjednodušené schéma odpojování logického signálu od analogového. Byly použity tři oddělovače – všechny obsahují dvě samostatné větve. Každá z nich má své řízení (přepínání do stavu vysoké impedance). Z důvodu ušetření počtu oddělovačů (bylo by jich potřeba deset) byly vybrány a spojeny ty piny, které se nebudou ovlivňovat (takhle jsou použity jen tři). Na jednu větev oddělovače nesmí být současně zapojen vstup i výstup jakéhokoliv hradla. Pokud by bylo potřeba odpojit vstup, současně by se odpojil i tento výstup a toto hradlo by už nešlo otestovat. Některé piny jsou pro určitá hradla vstupní a pro jiná výstupní. V prvním oddělovači na první větvi připojeny piny 1 a 13 a na druhé větvi piny 2 a 4. Piny 3 a 11 jsou na první větvi a 5 a 9 jsou na druhé větvi druhého oddělovače. Poslední oddělovač má na první větvi pin 10 a na druhé pin 12. Výše zmíněné piny jsou již piny testovaného obvodu. Aby vstupní obvody – D/A převodník a demultiplexor nezatěžovaly testovaný obvod byl, do návrhu zařazen sledovač z operačního zesilovače (LM 1458). Celé elektrické schéma je zobrazeno v Příloha A.



Obr. 9 Zjednodušené schéma pro odpojování logického signálu od analogového

Výstupní část je složena z multiplexoru a A/D převodníku. Byl vybrán šestnáctikanálový multiplexor , ovšem bylo využito pouze 8 kanálů, neboť je potřeba vybírat pouze z osmi výstupů. A/D převodník byl zvolen TLC549.

Mikroprocesor obsahuje pouze 4 brány vstupně/výstupních pinů, proto bylo nutno tento počet pinů rozšířit. K tomuto účelu byl použit posuvný registr 74HCT4094. Jeden posuvný registr by však nestačil, proto byly použity dva tyto obvody, které rozšíří množství potřebných pinů o 16 pinů. Aby nezabíraly mnoho pinů pro své ovládání, byly obvody zapojeny do kaskády a k jejich řízení postačily pouze tři piny. Vlastnosti 74HCT4094 jsou rozebrány v příslušné kapitole.

Tester je připojen k počítači přes USB rozhraní. Zvolený mikroprocesor však neobsahuje integrované USB rozhraní, proto bylo nutné použít k převodu USB - UART externí převodník. V této diplomové práci byl pro tuto funkci zvolen převodník od firmy FTDI .Vlastní převod provádí obvod FT8U232AM. Podrobněji o převodu v kapitole Sériové rozhraní

## **3.2 Mikroprocesory**

Najít vhodný mikroprocesor pro danou aplikaci nebylo v současné době nic jednoduchého. Ideální stav nastane, pokud má mikroprocesor integrováno co nejvíce potřebných periférií přímo v sobě. Musel se vybrat mikroprocesor podle požadovaných parametrů, které na něm žádá aplikace.

Tato aplikace není výpočetně náročná, a proto stačilo použít osmibitový mikroprocesor. Mezi nejvíce rozšířené patří mikroprocesory odvozené od původního Intel 8051. V současné době existuje kolem třiceti výrobců těchto mikroprocesorů.

Pro svou jednoduchost a cenovou dostupnost byl zvolen mikroprocesor od firmy Dallas, typ DS89C420 podrobněji v kapitole Mikroprocesor DS 89C420.

### **3.2.1 Mikroprocesor DS 89C420**

Jedná se o mikroprocesor vycházející z původního Intel 8051. Jeho maximální hodinový kmitočet je 33 MHz a výpočetní jádro tedy disponuje 33MIPS. Procesor je vývody i instrukčním souborem zcela kompatibilní s procesorem 8052. Obsahuje tedy tři šestnáctibitové čítače, čtyři V/V brány a rozšířenou interní datovou paměť. Kromě standardního vybavení je v procesoru ještě integrována 16kB programová paměť Flash,

1kB rozšířená datová paměť RAM a dále vnitřní systém programování (interní loader) pomocí sériového kanálu. Programování procesoru je rozpracováno v kapitole Programování mikroprocesoru. Procesor disponuje dvěma synchronními kanály UART, programovatelným časovačem watchdog a hlídacím obvodem oscilátoru. Podrobněji v [7].

### 3.2.2 Programování mikroprocesoru

Obvody DS89C4x0 mají kromě možnosti „klasického“ programování i možnost naprogramovat FLASH paměť pomocí interního loaderu. K tomuto programování není potřeba žádný speciální programátor, ani zvláštní programové vybavení, stačí pouze program pro komunikaci (Hyperterminál) a sériový kabel pro USB port a převodník USB-UART. Podrobněji v kapitole Rozhraní USB. [7]

### 3.2.3 Připojení a nastavení parametrů přenosu

Interní loader je spuštěn tehdy, pokud je na vstup RST (pin 9 pouzdra DIL) přivedena log. 1 a zároveň je na vstupech EA a /PSEN (piny 29 a 31 pouzdra DIL) log. 0. Loader pak čeká na odřádkování (0x0D, stisk ENTER), z něhož si zjistí komunikační rychlost a ohlásí se zprávou:

```
DS89C450 LOADER VERSION 2.1  
COPYRIGHT (C) 2002 DALLAS SEMICONDUCTOR
```

Pokud se takto procesor ohlásí (vypíše tento text na obrazovku počítače), je vše v pořádku a je ho možno programovat. [8]

V následující kapitole jsou popsány jednotlivé příkazy interního loaderu.

### 3.2.4 Možnosti a příkazy interního loaderu

Příkazy loaderu umožňují s procesorem udělat řadu úkonů: např. smazat FLASH, nahrát HEX soubor do FLASH nebo do externí paměti (MOVX), vypsát obsah paměti (FLASH i externí), ověřit její obsah, spočítat CRC a nastavit nebo vypsát LOCK bity.

Příkazy jsou jedno nebo dvoupísmenné, poté vždy následuje volitelný argument. Argumenty jsou reprezentovány hexadecimálními číslicemi a mají velikost 1 nebo 2 byte. Pokud je zadané číslo kratší než povolený rozsah, je doplněn zleva nulami, pokud je delší, jsou brány poslední 2 (4) číslice.

Příkazy C, CX, D a DX mohou mít dva, jeden nebo žádný argument. Syntaxe [počátek [konec]] je použita k vyjádření následujících možností:

Bez argumentů: počátek je 0, konec je poslední možná adresa u daného příkazu

Jeden argument: počátek je dán argumentem, konec je poslední možná adresa u příkazu

Dva argumenty: počátek je definován prvním argumentem, konec druhým argumentem.

### **Přehled vybraných příkazů:**

**B** – Vrátí CRC-16 interní ROM. Tento příkaz by měl vždy vrátit 0000h.

**C** [počátek [konec]] – CRC-16 součet FLASH paměti. Pokud není zadán rozsah, je spočítán CRC celé paměti.

**CX** [počátek [konec]] – CRC-16 součet externí RAM. Pokud není zadán rozsah, je spočítán CRC celé paměti.

**D** [počátek [konec]] – Výpis (dump) obsahu paměti FLASH ve formátu HEX. Každý záznam obsahuje 32 byte. Můžete zadat i rozsah adres. Poslední zaslaný záznam je end-of-data.

**DX** [počátek [konec]] – Výpis (dump) obsahu externí RAM ve formátu HEX. Příkaz funguje stejně jako předchozí s tím rozdílem, že nevypisuje FLASH, ale externí paměť dat (MOVX).

**K** – Smaže celou paměť FLASH včetně security bloku, řídicích registrů (*option control register*) a bitu výběru banky (*bank-select bit*).

**L** – Nahraje data ve standardním Intel HEX formátu do interní FLASH. Při této operaci nesmí být nastaveny žádné LOCK bity. Jsou zpracovány pouze záznamy s typem 00 a 01. Každý záznam je zpracován následovně:

Všechny znaky před úvodním <:> jsou vyhozeny. Následně je zpracován zbytek záznamu podle udané velikosti. Znaky následující za kontrolním součtem až do dalšího záhlaví <:> jsou opět ignorovány. Loader se vrátí zpátky do interaktivního módu po obdržení posledního záznamu (01). Před zápisem každého byte si loader zkontroluje obsah paměti, po zápisu opět, aby ověřil, zda byl byte zapsán řádně. Zpracování každého záznamu je potvrzeno odpovědí ACK/NAK. Nový záznam by neměl být vyslán dříve než je přijata potvrzovací odpověď od předchozího záznamu. ACK/NAK odpovědi jsou:

**LB** – Load Blind - zápis do interní FLASH paměti bez kontroly a ověření. Tento příkaz funguje stejně jako příkaz L, ale neprovádí předzápisové ověření a pozápisovou kontrolu, proto nemůže vrátit NAK odpověď P ani V. Jinak ostatní kódy fungují stejně.

**LE** – Nahrání šifrovacího vektoru (*encryption vector*). Tento příkaz funguje stejně jako příkaz L, ale pracuje s bezpečným (*security*) blokem paměti (0–3Fh).

**LX** – Load eXternal - nahrání obsahu do externí paměti dat. Tento příkaz funguje podobně jako příkaz L, ale pracuje s externí pamětí (0–FFFFh) a může zapisovat bez omezení na libovolnou adresu v tomto rozsahu. Pokud je stránkový mód nebo MOVX cyklus odlišný od defaultního nastavení, měly by být předem nastaveny hodnoty registrů ACON nebo CKCON.

**R** – Čte hodnotu lock bitů, OCR (Option control registru), ACON (Address control registru), CKCON (Clock control registru), Power Management registru, portů 0-3 a Flash control registru. Výsledek vrací v následujícím formátu:  
LB:XX OCR:XX ACON:XX CKCON:XX PMR:XX P0:XX P1:XX P2:XX P3:XX  
FCNTL:XX

**V** – Porovná aktuální obsah FLASH se zadaným souborem HEX. Tento příkaz funguje podobně jako příkaz L, ale nezapisuje do paměti, pouze porovnává data. Vrácené odpovědi jsou stejné jako u příkazu L.

**VE** – Obdoba příkazu V, ale podobně jako LE pracuje s bezpečným (*security*) blokem paměti (0–3Fh).

**VX** – Obdoba příkazu V, který pracuje (stejně jako LX) s externí pamětí

**W** [*LB | OCR | ACON | CKCON | PMR | P0 | P1 | P2 | P3*] *byte* – Zápis hodnot do registrů. Platné hodnoty pro LB jsou 1, 3 a 7. Zápis do ACON ovlivňuje pouze bity 5, 6, 7. Zápis do CKCON ovlivňuje pouze bity 0, 1, 2. Zápis do PMR pouze bit 0. Zápis na port P3 ovlivňuje pouze bity P3.2 - P3.7, bity P3.0 a P3.1 nejsou měněny.

**^C** (<CTRL>+C) – Přeruší prováděnou operaci a vrátí loader do interaktivního módu. Smaže všechny buffery, vypíše prompt a očekává další příkaz. [8]

### 3.2.5 Postup při programování

Programování procesoru pomocí interního loaderu je jednoduché. Stačí připojit obvod DS89C420 k počítači přes převodník(USB-UART) na vývody mikroprocesoru RxD a TxD, spustit a nastavit komunikační program, např. Hyperterminál. Následuje nakonfigurování požadované hodnoty a zapnutí napájení. Pokud se po stisku klávesy ENTER ohlásí loader (viz kapitola Připojení a nastavení parametrů přenosu), je zapojení v pořádku, mikroprocesor je funkční a je možné přikročit k vlastnímu programování.

Prvním krokem před samotným programováním je zadání příkazu K, který smaže FLASH paměť. Po opětovném objevení kurzoru se zadá příkaz L (a stisknout klávesu Enter). Teď loader čeká na zadání HEX souboru. V menu komunikačního programu se vybere možnost odeslat ASCII soubor (v Hyperterminálu je to příkaz Odeslat textový soubor). Vybere se připravený HEX soubor s programem a odešle se. Pokud jsou mikroprocesor i loader v pořádku, měl by vypsát řadu znaků G, které indikují správný zápis. Pokud se objeví písmeno P, znamená to, že FLASH nebyla správně smazána. Po odeslání (a zapsání) všech řádků HEX souboru se opět objeví kurzor. Znamená to, že loader je připraven přijmout další příkazy. V tomto okamžiku je mikroprocesor naprogramován. V této chvíli je možné jej vypnout a přenést do cílové aplikace (pokud je procesor programován v programátoru), a nebo jako v tomto případě pouze přenastavit vstupní piny RST, EA a /PSEN a mikroprocesor se dostane do stavu běhu. Což znamená okamžitě po přepnutí těchto pinů se spustí nahraný program v mikroprocesoru.

Tento tester má být univerzální, proto byl navržen tak, aby přeprogramování samotného mikroprocesoru nebylo náročné a bylo uskutečněno uvnitř testeru.

Realizace přepínání stavů pinů RST, EA a /PSEN mezi programovacím režimem a stavem normálního běhu mikroprocesoru, byla vyřešena použitím jumperů.

Jumper3(JP3) byl zapojen tak, aby šlo vyresetovat procesor tedy přivést na pin RST log. 1. Pomocí tohoto jumperu se zkratuje připojený elektrolytický kondenzátor C9 (viz schéma). Jumper1(JP1) vstupy EA a /PSEN jsou spojeny a pokud je potřeba se dostat do programovacího režimu, pouze se propojí tento JP1(viz Příloha A), který oba piny připojí k zemi. Když jsou oba jumpery rozpojené mikroprocesor je ve stavu běhu.

Aby bylo dostatečně zřejmé, že mikroprocesor pracuje je na jeho výstupní pin připojena led dioda, která indikuje jeho běh. [8]

### 3.2.6 Intel HEX formát

Intel HEX formát se používá jako standardní výstupní formát souborů vytvořený v kompilátoru určený pro přenos programu do paměti mikroprocesoru. Tento formát se používá pro přenos binárních dat do mikropočítačů, EPROM paměti a jiných druhů obvodů. Je to jeden z nejstarších formátů souborů používaných pro tento účel. Jde o textový soubor, kde jsou na každém řádku hexadecimální hodnoty, které obsahují datovou sekvenci, její počáteční offset a absolutní adresu. [9]

## 3.3 Sériové komunikační rozhraní

Každý jednoobvodový mikroprocesor je vybaven alespoň jedním sériovým komunikačním rozhraním. Tato rozhraní jsou dána telekomunikačními standardy a obvykle se označují pojmem sériový kanál, mají za úkol vytvořit dvoubodový nebo vícebodový spoj. V obou případech je nutné konvertovat vstupně-výstupní signály procesoru s úrovněmi TTL na elektrické signály příslušného komunikačního standardu pomocí externích převodníků signálů. Při návrhu, konstrukci ale i programování je vždy nejvíce důležitá nultá vrstva neboli fyzická vrstva, která definuje elektrické parametry obvodů a signálů rozhraní, rychlost a způsob přenosu dat, spojovací prvky a přenosové médium sériového rozhraní. [6]

### 3.3.1 Rozhraní USB

Rozhraní USB se v poslední době stává nedílnou součástí spotřební elektroniky, která se připojuje k PC. Toto rozhraní postupně vytlačuje klasický sériový port RS232, a proto výrobci i uživatelé jsou postupně nuceni přecházet na rozhraní USB V1.1 nebo V2.0. Toto rozhraní principiálně vychází z rozhraní RS485, které bylo upraveno tak, aby se zvýšila komunikační rychlost (1,5 až 480 Mbit/s) na úkor podstatného zkrácení vzdálenosti připojených zařízení.

Rozhraní se skládá ze čtyř vodičů (Ucc, D+, D-, GND) a umožní připojení až 127 zařízení. Přenos informace je realizován diferenciální metodou pomocí dvou kroucených vodičů D+ a D-. Pokud zařízení funguje na plné rychlosti, musí být tyto vodiče kroucené a stíněné, avšak pro nejnižší rychlosti to není nutné.

V daný okamžik je aktivní jeden vysílač, ostatní musí být v režimu přijímání.

Komunikace mezi počítačem a funkční jednotkou je složena ze tří typů paketů.

Pro výměnu dat nejprve pošle počítač tzv. token packet, který obsahuje popis typu a směru výměny dat, adresu USB zařízení a číslo koncové jednotky. Zařízení, které má vysílat data, pošle datový paket nebo indikuje, že nejsou k dispozici data pro vysílání. Přijímací strana nakonec pošle tzv. handshake packet, který informuje o úspěšnosti přenosu. Toto rozhraní používá kódování NRZI (not-return-to-zero reording). [6]

V diplomové práci byl pro tento účel převodu použit převodník FT8U232AM od společnosti FTDI. Jeho funkce je podrobněji popsána v následující kapitole.

### **3.3.2 Převodník FT8U232AM**

Jedná se o integrovaný obvod, jenž převádí USB sběrnici na standardní sériový port USB-UART s přenosovou rychlostí 300 Bd. Nainstalované ovladače pro tento obvod, přidají do operačního systému další sériový port. Tento obvod umožňuje plné obvodové řízení přenosu signály RTS, CTS, DTR, DSR, DCD a RI. Mezi další vlastnosti tohoto konvertoru patří podpora USB protokolu 1.1, možnost připojení externí EEPROM obsahující uživatelské sériové číslo nebo identifikační řetězec. Tento konvertor může být napájen buď 4,4 V až 5,25 V a nebo přímo z USB, této možnosti využil tento návrh. Pro samotný přenos dat stačí pouze linky RxD a TxD. Podrobně se vlastnostmi zabývá [10].

K vlastnímu převodu však nestačí pouze výše zmíněný obvod, jsou k tomu zapotřebí ještě vhodné pasivní součástky. Proto bylo vytvořeno zapojení podle výrobce tohoto integrovaného obvodu a vyhotovena deska plošných spojů (viz Příloha B) s použitím daných součástek.

Po zvážení všech aspektů nebyl tento vytvořený konvertor použit v diplomové práci, neboť rozměrově nevyhovoval představám. Na desce tištěných spojů by zabíral příliš mnoho místa a celková podoba testeru by byla o dost větší. Z tohoto důvodu byl použit modul UMS2 od firmy ASIX, vytvořený již výrobcem. Vlastní realizace převodu v obou případech je shodná, jde pouze o úsporu místa na desce plošných spojů. Celkový popis tohoto modulu je proveden v [11].



### 3.4 A/D a D/A převodníky

Analogově-číslicové (dále jen A/D) a číslicově-analogové (dále jen D/A) převodníky se používají všude tam, kde je třeba analogový signál číslicově zpracovat nebo vytvořit číslicový signál z analogového. Většina veličin má však analogový charakter (teplota, tlak, pohyb, lidský hlas apod.). Číslicové zpracování analogových signálů má řadu výhod, z dalších: nízká cena a bezproblémová dostupnost technického vybavení tj. logických kombinačních a sekvenčních obvodů, mikroprocesorů, pamětí aj. Převodníky mohou být realizovány buďto kombinací technických a programových prostředků, a nebo výhradně technickými prostředky.

#### 3.4.1 A/D převodníky

A/D převodníky uskutečňují převod analogového signálu – vstupního na číslicový signál – výstupní. Obvykle je vstupním signálem napětí, výstupem pak datové slovo o stanoveném počtu bitů. Převod spojitého analogového signálu na diskrétní číslicový tvar se u většiny převodníků provádí ve dvou krocích. Vstupní spojitý signál se nejprve periodicky **vzorkuje**, tj. vzniká sled úzkých impulsů, jejichž amplitudy korespondují s analogovým signálem v příslušných časových okamžicích. Ve druhém kroku se provádí **kvantování**. Amplituda jednotlivých signálů se převádí na číslicový tvar. Kvantizace přiřazuje jednotlivým vzorkům diskrétní hodnotu (výstupní datové slovo).

Pro přesnost převodu je nutno dodržet následující zásady:

- vzorkovat alespoň s dvojnásobným opakovacím kmitočtem než je nejvyšší harmonická složka snímaného analogového napětí (Nyquistův teorém)
- dodržet úzké vzorkovací impulsy,
- jemně kvantovat vzorkovací impulsy.

Rychlost změny analogového signálu, kterou je možno zachytit a digitalizovat, je limitována rychlostí a rozlišovací schopností kvantovacího obvodu A/D převodníku.

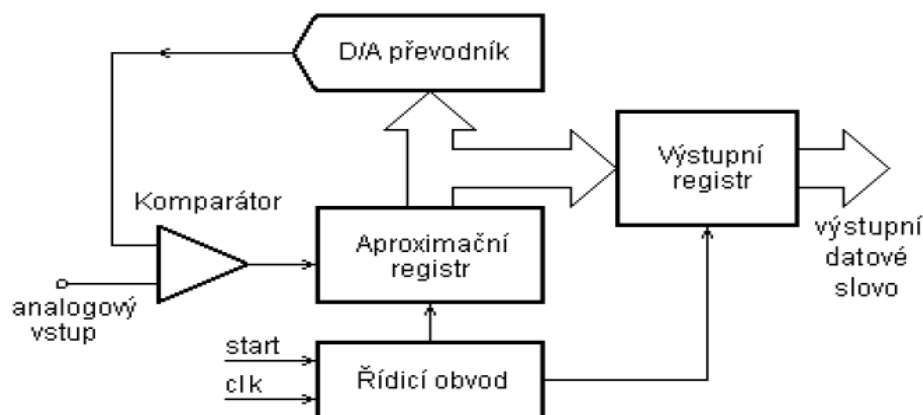
[14]

### 3.4.2 Typy A/D převodníků

A/D převodníky je možno dělit dle různých kritérií, podle způsobu jejich činnosti vyčleňujeme na synchronní a asynchronní převodníky. **Synchronní převodníky** převádí analogové napětí na výstupní datové slovo v určitém počtu kroků, které se uskutečňují synchronně s hodinovými (taktovacími) impulsy, u **asynchronních převodníků** může být převod rovněž uskutečněn v několika krocích, ovšem doba trvání těchto kroků závisí výhradně na časové odezvě dílčích obvodů převodníku a na jejich zpoždění. [14]

### 3.4.3 Aproximační převodníky

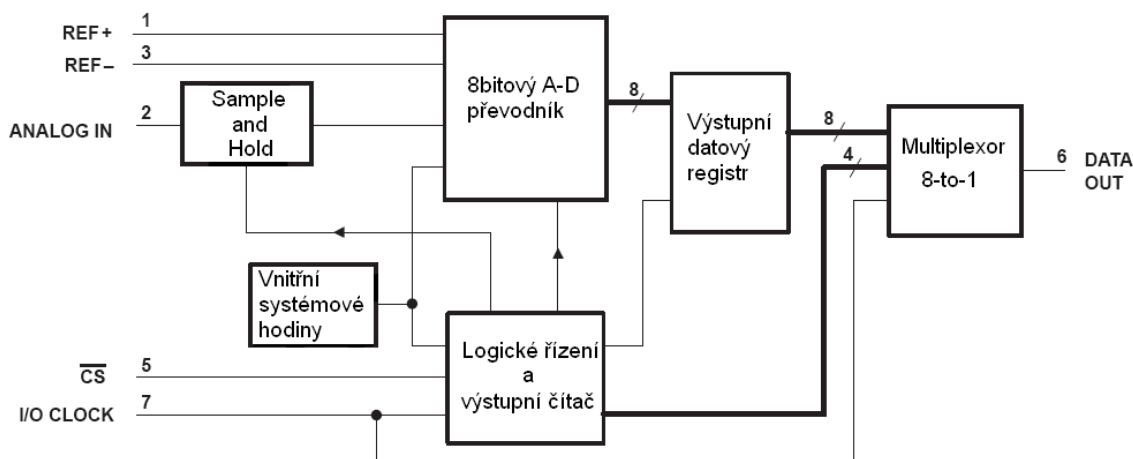
Realizují převod vstupního analogového napětí na výstupní datové slovo postupně po krocích. Počet těchto kroků je roven počtu bitů výstupního datového slova. Blokové schéma A/D převodníku je na obr. 10. Součástí převodníku je D/A převodník, napěťový (výjimečně proudový) komparátor, aproximační registr a výstupní registr. Převod je realizován postupně od nejvyššího bitu k nižším metodou půlení intervalu. Nejprve řídicí obvod převodníku nastaví hodnotu testovaného bitu (testované napěťové úrovně) na hodnotu 1, D/A převodníkem je generováno příslušné referenční napětí a napěťový komparátor porovná toto napětí se vstupním napětím. Je-li vstupní napětí větší než referenční, zůstane v příslušném bitu datového slova v aproximačním registru uchována jednička, v opačném případě se na toto místo dosadí nula. Převod pak pokračuje nastavením následujícího (nižšího) bitu datového slova na jedničku a porovnání příslušné napěťové úrovně, přitom hodnoty vyšších bitů zůstávají zachovány. [14]



Obr. 10 Blokové schéma aproximačního převodníku

### 3.4.4 A/D převodník TLC 549

Integrovaný obvod TLC549 firmy Texas Instruments (viz obr. 11), jde o sériově odečitatelný A/D převodník. Byl zvolen pro svou přesnost, rychlost a nízkou cenu. V podstatě jde o standardní periferní osmibitový A/D převodník. Je založen na technologii CMOS. Převodník pracuje na principu postupné aproximace s vyrovnáním náboje pomocí kapacity. Jeho absolutní chyba se pohybuje maximálně  $\pm 0.5$  LSB. Doba pro vykonání převodu se pohybuje řádově do 17 ms. Převodník komunikuje s mikroprocesorem pomocí sériové linky (Data out), na jeho ovládání jsou potřeba další linky CLK a negCS a vstupní data (Analog In).



Obr. 11 Blokové schéma převodníku TLC 549

Integrovaný obvod se ovládá signálem negCS (pin 5), který přepíná mezi režimem čtení a převádění dat. Převod dat na osmibitovou hodnotu (0 – 255) se odehrává, je-li negCS na vysoké úrovni a trvá méně než 20 mikrosekund. Po přepnutí negCS na nízkou úroveň se na výstupu (pin 6) objeví bit s nejvyšší vahou. Každým hodinovým pulsem přiváděným na pin 7 se na výstup dostává bit s následující nižší vahou. Napájecí napětí +5V se zde zároveň používá jako referenční napětí. [12]

### 3.4.5 D/A převodníky

D/A převodníky obstarávají převod vstupního číslicového signálu (datového slova) na výstupní analogový signál, často na odpovídající hodnotu elektrického napětí. Na výstupu převodníku však nelze nastavit libovolnou hodnotu analogového signálu, vstupní signál má schodovitý tvar, proto jeho hodnoty mohou nabývat pouze diskretních hodnot. Chyba způsobená diskretními úrovněmi vstupního signálu se nazývá

**kvantizační chyba.** Maximální nepřesnost, tj. rozdíl mezi požadovanou a nastavenou hodnotou výstupního signálu, je dána polovinou přírůstku výstupního signálu, odpovídajícímu nejnižšímu bitu vstupního datového slova (LSB).

Dalším významným parametrem je **rozlišovací schopnost (kvantizační krok)  $Q$** . Je určena počtem diskrétních stupňů výstupního analogového signálu a je v přímé souvislosti s počtem bitů vstupního datového slova  $n$ :

$$Q = \frac{1}{2^n - 1}$$

**Výstupní rozsah** převodníku je definován jako rozdíl maximálního a minimálního signálu (rozmit). Je-li na vstupu převodníku nulové datové slovo, signál na výstupu převodníku je označen  $U_{min}$ , při největším  $n$ -bitovém datovém slovu je výstupní signál označen  $U_{max}$ . Tento rozsah je úměrný referenčnímu zdroji  $ref S$  na D/A převodníku a je možné jej měnit. Rozsahy převodníků jsou buďto souměrné – bipolární (např.  $\pm 10$  V), nebo nesouměrné - unipolární ( $U_{min}$  je obvykle nulové – např. rozsah  $0 \div 10$  V). Pokud je znám rozsah  $n$ -bitového převodníku a jeho vstupní datové slovo  $N$  (v desítkové soustavě), pak lze spočítat výstupní analogový signál:

$$U_{out} = N \frac{U_{max} - U_{min}}{2^n - 1} + U_{min}$$

Neméně důležitým parametrem převodníků je **přesnost převodu** vstupní číslicové informace na výstupní analogový signál. V praxi se reálná převodní charakteristika liší od ideální vlivem napěťového posunu (chyba nuly či offset), změnou zisku (chybou rozsahu) nebo nelinearitou převodníku. Celková přesnost převodníku také podstatně závisí na stabilitě zdroje referenčního napětí. **Nestabilita zdroje referenčního napětí** ovlivňuje přesnost převodu, nemá však vliv na rozlišovací schopnost převodníku a na jeho linearitu.

Významným parametrem je také **maximální rychlost převodu**, která je definována počtem vstupních datových slov, která jsou převodníkem převedena na výstupní analogovou veličinu za jednotku času.

**Doba převodu** se někdy určuje jako převrácená hodnota rychlosti převodu. Je to časový interval mezi přivedením vstupního datového slova na vstup převodníku a okamžikem dosažení ustálené hodnoty výstupního analogového signálu. Základní aplikací D/A převodníků ve spojení s mikroprocesorem, resp. počítačem, je generování

různých hodnot, popř. různých průběhů výstupního napětí. Toto napětí může být buď přímo použito pro řízení připojených akčních členů, viz v této diplomové práci nebo může sloužit jako vstupní napětí pro připojený převodník napětí na jinou elektrickou nebo neelektrickou veličinu. [14]

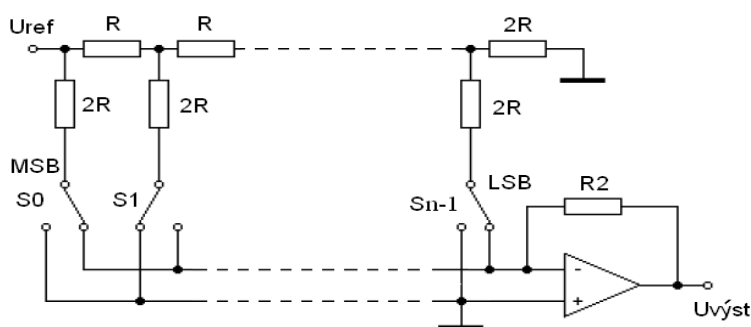
### 3.4.6 Typy D/A převodníků

Obvykle jsou děleny na **přímé** a **nepřímé**. Přímé převodníky převádí vstupní datové slovo přímo na výstupní napětí, popř. proud. Tyto převodníky jsou nejčastěji řešeny pomocí příčkové nebo váhové struktury odporové sítě. Naproti tomu nepřímé D/A převodníky rozdělují převod na dvě části – v první části je číslicová veličina převedena na pomocný diskretní signál (na šířku pulsu nebo počet pulsů za jednotku času), který je ve druhé části převeden na výstupní analogový signál. [14]

### 3.4.7 D/A převodník s příčkovou strukturou odporové sítě R–2R

Vstupní proud z referenčního zdroje napětí se dělí v každém uzlu a odpovídá dvojkové váze. Jelikož odpory mají stejnou, resp. srovnatelnou hodnotu, mohou být vyrobeny stejnou technologií, čímž je dosaženo snadněji jejich stejné tolerance a teplotní závislosti. Struktura odporové sítě je uspořádána tak, že příspěvek každého následujícího bitu nalevo od každého uzlu je R. V důsledku toho příspěvek následujícího bitu k výstupnímu analogovému napětí se vždy zmenšuje s násobkem 0,5. Pomocí principu superpozice se odvodí vztah pro výstupní analogové napětí:

$$U_{out} = -U_{ref} \frac{R_2}{R} + \sum \frac{B_i}{2^i}, i=0..n \quad [14]$$

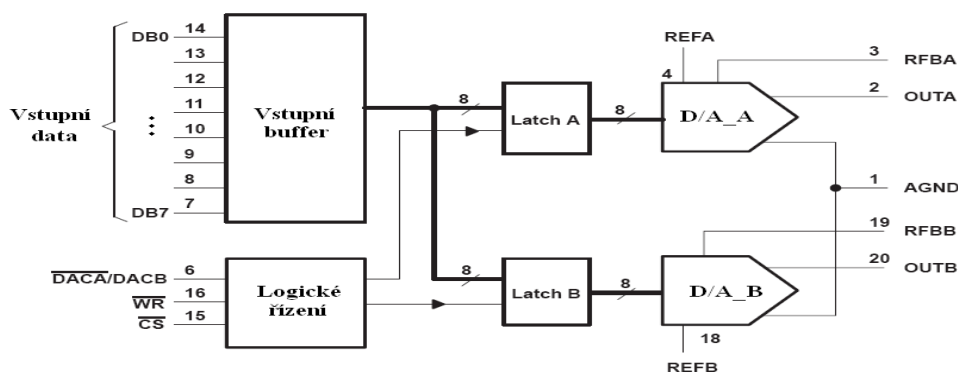


Obr. 12 Blokové schéma převodníku R-2R

### 3.4.8 D/A převodník TLC7528CN

Jedná se o standardní duální osmibitový D/A převodník typu R-2R lehce připojitelný k mikroprocesoru. Je vyroben CMOS technologií. Doba převodu z digitálního na analogový signál se pohybuje řádově v ns. Chyba linearity se pohybuje okolo  $\frac{1}{2}$  LSB. Napájení tohoto převodníku se pohybuje od -0,3 V do 16,5 V. Ke správné funkci je potřeba použít referenčního napětí, a to  $\pm 5$  V.

Tento integrovaný obvod je připojen k mikroprocesoru pomocí vstupní datové sběrnice a řídicími signály negWR, negCS a negDACA/DACB. Vstupní číslicová data vstupují vždy do jednoho ze dvou identických převodníků obsažených v tomto obvodu. Výběr tohoto převodníku se ovládá pomocí speciálního pinu negDACA/DACB. Pokud jsou linky negWR a negCS v nízké úrovni, vstupní digitální data odpovídají výstupnímu analogovému signálu, v tomto případě napětí. Pokud jedna z výše jmenovaných linek přejde do úrovně vysoké, obvod si drží vstupní data, dokud se nevrátí zpět do nízké úrovně. Nastane-li ovšem situace, že je řídicí signál negCS ve vysoké úrovni nezáleží poté už na hodnotě signálu negWR a vstupní data jsou jakoby vyřazena. [13]



Obr. 13 Blokové schéma převodníku TLC7528CN

### 3.5 Posuvné registry

Počet vstupních a výstupních pinů mikroprocesoru nevyhovoval (resp. tento počet byl nedostačující), bylo zapotřebí použít integrovaný obvod, který dovede tento počet pinů rozšířit. Pro tento účel byl zvolen posuvný registr 74HCT4094. Jeho funkce je popsána v následující kapitole.

Posuvné n-bitové registry obsahují hodinový vstup Clk, jeden informační vstup a jeden nebo dva informační výstupy, většinou mají také jeden vstup nulovací. Posuvné registry jsou obvykle sestaveny z klopných obvodů typu D (hranového). Jejich funkce je následující: Po příchodu hodinového impulsu se obsah vstupu D přenesou na výstup Q,

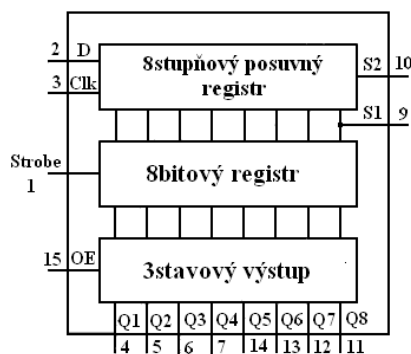
pro všechna  $i = 0, 1, \dots, n$ . V závislosti na směru šíření signálu se současně se při tom posune informace o jedno místo vpravo nebo vlevo.

Běžně se využívá posuvných registrů se sériovým vstupem a výstupem a současně s paralelními vstupy nebo výstupy. Přepínání mezi jeho dvěma funkcemi zajišťuje zvláštní řídicí vstup. V základním režimu funguje jako normální paralelní registr, ve druhém režimu slouží k sériovému zapsání popřípadě přečtení obsahu registru pomocí jednoho vodiče. Využití tohoto registru je vhodné tam, kde je třeba paralelní informace přenést pomocí jednoho vodiče.

Specializované posuvné registry umožňují posun informace nalevo i napravo a využívají se ve výpočetní technice. [14]

### 3.5.1 Posuvný registr 74HCT4094

Jedná se o osmistupňový (osmibitový) sériový posuvný registr se strobovacím střadačem a třístavovým výstupem. Paralelní výstupy obsahují střadače, přes které se data, pokud je pin Strobe v log.1, přenáší na výstupy Q. Druhý režim je uschování dat, neboli Strobe = log. 0 jsou zachována data v okamžiku přechodu Strobe z log. 1 do log. 0. Signály ze střadačů se objeví na výstupech pouze, je-li pin EO v log. 1. Pokud je ovšem EO rovno log. 0, jsou výstupy Q v třetím stavu neboli ve stavu vysoké impedance. Data se ze vstupu D posouvají v registru pouze na náběžnou hranu hodin CLK. Pokud je potřeba zapojit dva posuvné registry do kaskády, slouží k tomu dva sériové výstupy S2 a S1. Na obou se vyskytuje výstup osmého stupně. Kaskádní realizace bylo využito i v tomto návrhu, neboť jeden posuvný registr nestačil. Na výstupu se data taktéž mění s náběžnou hranou hodin. [15]



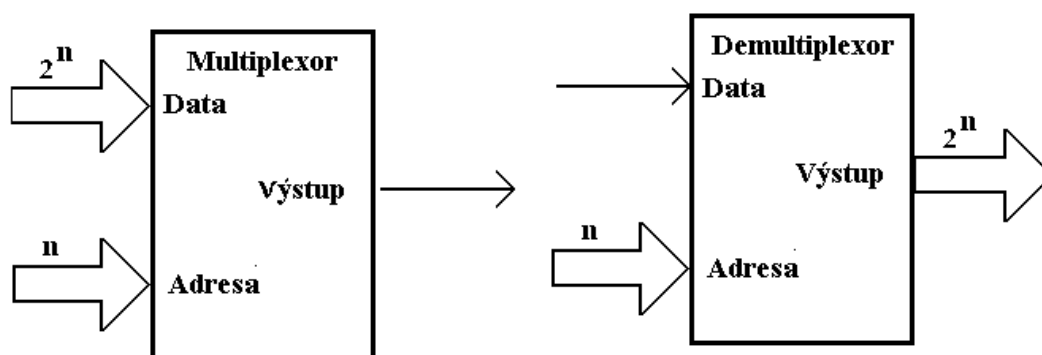
Obr. 14 Blokové schéma posuvného registru 74HCT4094

### 3.6 Multiplexory – demultiplexory

Multiplexor je takový klopný obvod, který má  $n$  adresovaných vstupů,  $2^n$  informačních datových vstupů a jeden výstup. Na tento výstup je přivedena hodnota odpovídajícího informačního vstupu dle adresy.

Naproti tomu demultiplexor je taktéž klopný obvod, který má  $n$  adresovaných vstupů,  $2^n$  informačních výstupů a jeden datový vstup. Na výstup je přivedena hodnota odpovídajícího informačního vstupu dle adresy. [1]

V následující kapitole jsou podrobně rozepsány v návrhu použité obvody. Jedná se o multiplexor 4067 a demultiplexor 4097.



Obr. 15 Bloková schémata multiplexoru a demultiplexoru

#### 3.6.1 Multiplexor-demultiplexor 4067

Tento integrovaný obvod obsahuje 16kanálový analogový multiplexor/demultiplexor. V tomto návrhu byl použit jako multiplexor, je složen z 16obousměrných spínačů a dále z dekodéru 1 z 16. Jedním koncem jsou všechny spínače spojeny, jedná se o výstup. Pokud je negEnable rovno log. 0, pak je jeden spínač, který je vybrán adresovými vstupy, aktivní v sepnutém stavu. Ostatní spínače jsou vypnuté. Jestliže je ovšem pin negEnable roven roven log. 1, pak jsou všechny spínače vypnuté a vůbec nezáleží na adresových vstupech. Jelikož stačí použít 8 adresovatelných míst (8 výstupních pinů) postačí pro adresování pouze 3 piny. Čtvrtý adresovatelný pin byl uzemněn. [16]



### 3.6.2 Multiplexor-demultiplexor 4097

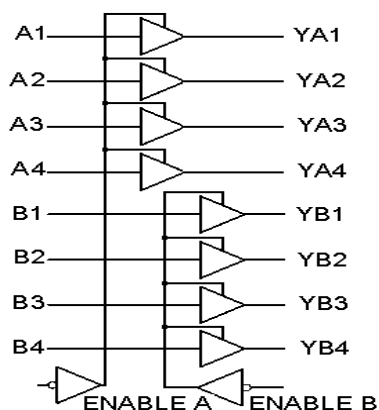
Tento integrovaný obvod obsahuje dva 8vstupové multiplexory-demultiplexory. Třemi adresovanými vstupy se vyberou dva spínače, které jsou sepnuty na společné výstupy, ostatní jsou rozepnuté. Pokud je na vstupu INH úroveň signálu rovna log. 1, pak jsou všechny spínače rozpojeny, aniž by záviselo na adresových vstupech. [17]

### 3.7 Třístavový oddělovač

Třístavový oddělovač je takový elektronický obvod, který převede vstupní data tohoto obvodu na jeho výstup. Obsahuje ovládací signál ENABLE, kterým se tento převod řídí. Tento signál může nabývat dvou stavů. Pokud je ENABLE v log. 0, převede vstupní data na výstup obvodu. Avšak pokud je ENABLE v log. 1, na výstupu obvodu bude třetí stav tzv. stav vysoké impedance. [18]

#### 3.7.1 Třístavový oddělovač 74HCT244

Obvod 74HCT244 obsahuje osm neinvertujících oddělovačů s třístavovým výstupem. Celá osmice je rozdělena na dvě čtveřice, které jsou ovládány dvěma signály negEnable A a negEnable B. Pokud je signál negEnable v log. 1, poté se celá čtveřice výstupů ovládaná tímto signálem dostane do stavu vysoké impedance. Pokud je v log. 0, pak vstupní data prochází na výstup a mohou být dále zapracována. [18]



Obr. 16 Blokové schéma 3stavového oddělovače 74HCT244

## 4 SOFTWARE

Programová část této diplomové práce se skládá ze dvou dílů, a to z kapitoly řídicí program mikroprocesoru a kapitoly obslužná aplikace.

### 4.1 Řídicí program mikroprocesoru

K napsání programu pro procesor, který řídí celý tester, bylo použito prostředí Keil  $\mu$ Vision2 od firmy Keil elektronik GmbH. Při tvorbě programu byly na výběr dva programovací jazyky. První možností byl jazyk C, který je vhodnější pro psaní rozsáhlejších programů a výsledný kód je v něm kratší a přehlednější. Druhou možností byl Assambler, jehož hlavní nevýhodou je, že programátor nemá k dispozici nástroje, jako jsou cykly, rozvětvení atd., programátor si tyto nástroje musí vytvořit sám pomocí základních instrukcí. Program tvořený jen základními instrukcemi je hlavní výhodou Assambleru, protože programátor přesně ví, jak se která instrukce vykonává, kam se která proměnná uloží atd. Tyto výhody umožňují napsání efektivnějšího programu. V tomto návrhu byl vybrán Assambler.

### 4.2 Popis funkce programu

Tento program má dvě funkce, komunikace s jednotlivými částmi testeru a následné nastavení jejich parametrů.

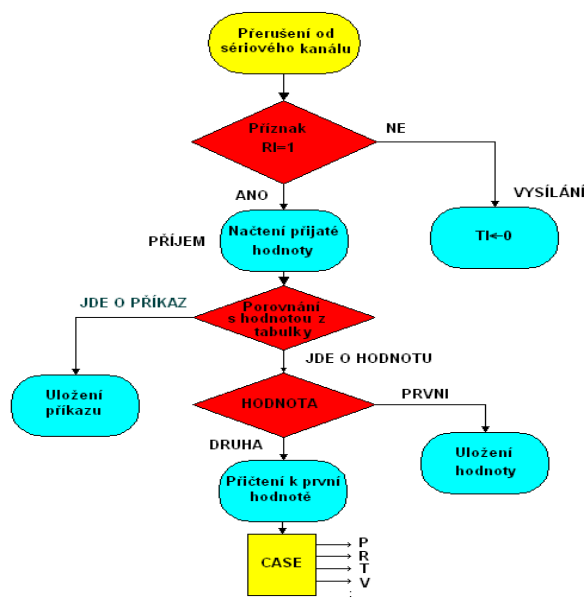
Komunikační část je naznačena ve zjednodušené formě ve vývojovém diagramu na obrázku 13. Komunikace je založena na vytvoření speciálních instrukcí, které se skládají ze dvou částí, z řídicího příkazu – velkého písmena abecedy a operandu, což jsou dvě číslice zapsané v hexadecimální soustavě. Instrukce může vypadat např. „P00“. Řídicí příkaz definuje, jaký blok se bude řídit, a parametr udává, na co nebo o kolik se má změnit jeho nastavení. Např. „V00“ udává to, že se jedná o multiplexor, který je nastaven na pozici 0.

Komunikace se odvíjí od toho, zda přijde nebo nepřijde přerušení od sériového kanálu. Pokud přijde přerušení od sériového kanálu, tak je vyhodnoceno, zda jde o příjem nebo vysílání. Pokud se jedná o příjem, uloží se přijatý znak do registru. Hodnota tohoto znaku se porovná s hodnotou načtenou z tabulky. V tabulce je uloženo 256 hodnot, tedy 256 řádků. Počet hodnot odpovídá počtu ASCII znaků. V tabulce na pozici znaků používaných v hexadecimální soustavě, kterou jsou teď využity

pro operand, jsou jejich pravé hodnoty a v místech ostatních ASCII znaků je uložena hodnota FF. Všechny tyto odlišené znaky mohou být řídicí. Takto je realizováno jednoduché rozlišení řídicích znaků od hexa znaků. Pokud tedy přijde řídicí znak, uloží se do registru. Při dalším přerušení od sériového kanálu se testuje zda jde o hexa číslici, pokud ano, zda je první nebo druhá. Pokud je první, uloží se do dalšího registru. Pokud je druhá uloží se do registru a přičte se v registru k první hexa číslici. V tomto okamžiku vznikla celá instrukce.

Poté se podle řídicího znaku vybere, do jaké proměnné se hodnota uloží. K tomuto účelu je program dále rozvětven do několika částí. Pokud řídicí znak odpovídá porovnávání, pak se uloží operand do dané proměnné. Jako odpověď o správném přečtení se odešle zpět přes sériovou komunikaci vykřičník.

Hlavní programu běží v nekonečné smyčce, neustále dokola probíhají nastavení jednotlivých bloků. Po resetu mikroprocesoru se nastaví sériový kanál a následuje inicializace, v níž se vynulují popř. nastaví výchozí hodnoty proměnných. Potom už následuje nekonečná smyčka hlavního programu. V ní se postupně podle přijatých instrukcí nastaví buď posuvné registry, na jejich výstupech se objeví 3 signály pro řízení demultiplexoru a dva logické signály, nebo se nastaví vstupní data do D/A převodníku, výstup z A/D převodníku či multiplexor nebo logické signály.



Obr. 17 Vývojový diagram komunikační části

### 4.3 Komunikační protokol

Komunikace jednotky s počítačem se provádí přes sériový kanál 0. Časovač T1 slouží jako generátor přenosové rychlosti, v jeho reload registru je taková hodnota, aby generoval přenosovou rychlost 9600 bitů/s. Sériový kanál je nastaven na 8 datových bitů, žádný paritní bit, jeden stop bit a žádné řízení toku.

Vlastní komunikace mezi PC a kontrolérem je realizována přes USB rozhraní, parametry této komunikace jsou nastaveny při resetu kontroléru a nelze je za běhu programu měnit. Vlastní komunikace je realizována sadou několika jednoduchých instrukcí. Jak bylo výše uvedeno, každá instrukce začíná velkým písmenem, za kterým následuje operand složený ze dvou číslic.

### 4.4 Přehled příkazů

**Pxx** Logické signály

**Rxx** První D/A převodník

**Txx** Druhý D/A převodník

**Vxx** Multiplexor

**Hxx** Demultiplexor

**Sxx** 3state

**Jxx** A/D převodník

**xx...** dva operandy (dvě hexa číslice)

Zdrojový kód řídicího programu pro mikroprocesor je zaznamenán na přiloženém CD.

### 4.5 Obslužná aplikace

Tato aplikace byla naprogramována v jazyce Object Pascal s využitím programovacího prostředí Delphi 5.0 Enterprise od firmy Borland. Pro komunikaci po sériovém lince byla použita již hotová komponenta ComPort Library verze 2.61.

Aplikace je naprogramována tak, aby umožňovala jak řízení testeru, tak vyhodnocení správné funkčnosti obvodu.

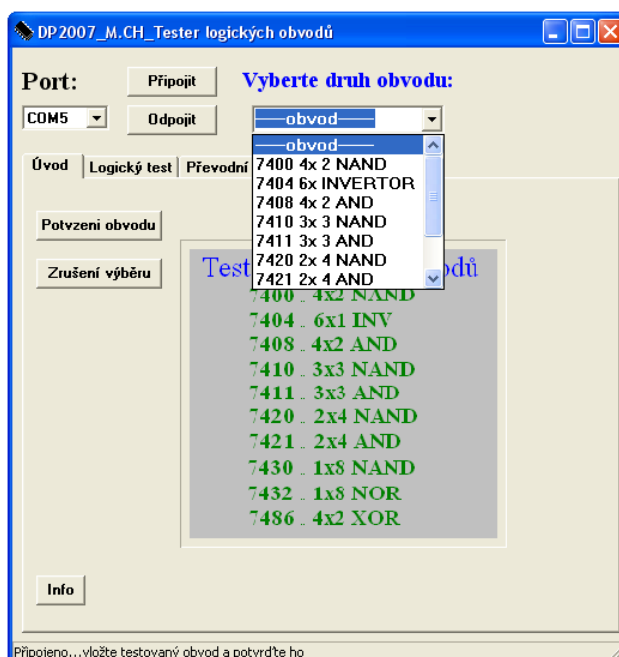
Po otevření aplikace se objeví ovládací okno. Nejprve je nutno vybrat správný COM port, na který je připojen tester, a stisknout tlačítko PŘIPOJIT. V nabídce jsou

všechny aktivní COM porty nainstalované na počítači. Pokud se tester správně připojí k počítači, v příkazovém řádku se objeví „Připojeno ... vložte testovaný obvod a potvrďte ho“. Jestliže je vybrán nesprávný port či obsazený port, objeví se okno se zprávou, že zařízení nebylo připojeno k tomuto portu. V nabídce „Vyberte druh obvodu“ se zvolí testovaný obvod, pozn. jsou v ní na výběr všechny testované obvody. Pokud je tedy obvod zvolen stiskne se tlačítko „Potvrzení obvodu“, čímž je daný obvod vybrán. Teď už se může přistoupit k samotnému testování. Pokud nebylo stisknuto tlačítko „Připojit“, nebo nebyl vybrán žádný obvod, nelze nic testovat, neboť všechna tlačítka jsou neaktivní.



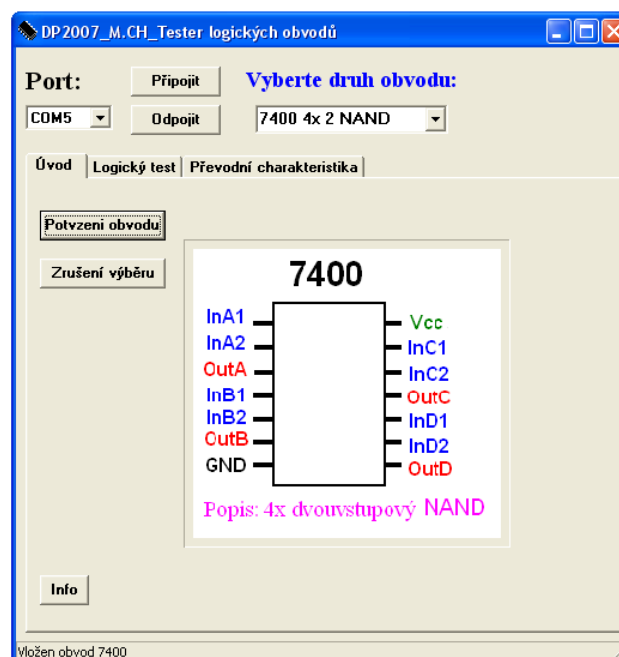
*Obr. 18 Ovládací okno obslužné aplikace*

Na následujícím obrázku je ovládací aplikace při výběru testovaného obvodu.



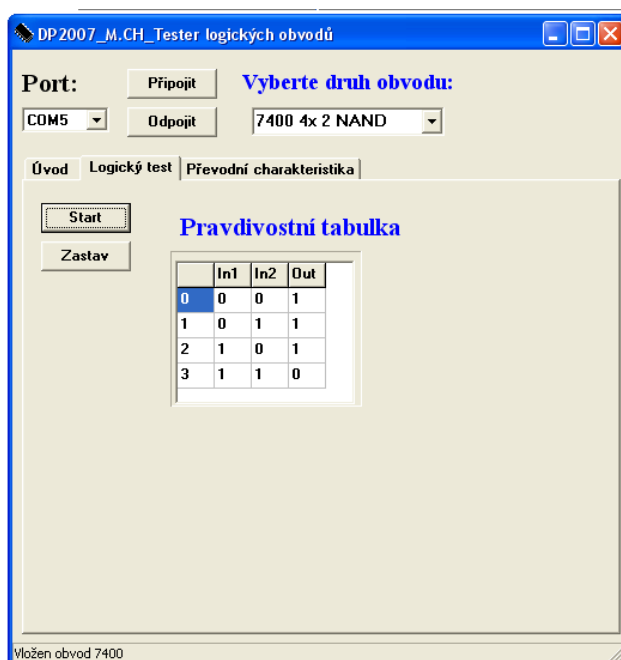
Obr. 19 Ovládací okno obslužné aplikace při výběru testovaného obvodu

Po potvrzení obvodu se na úvodní záložce objeví jednoduchý popis testovaného obvodu a úplné rozmístění jeho pinů. Pro jednoduchou manipulaci je v příkazovém řádku vepsán typ obvodu.



Obr. 20 Ovládací okno obslužné aplikace po vybrání testovaného obvodu

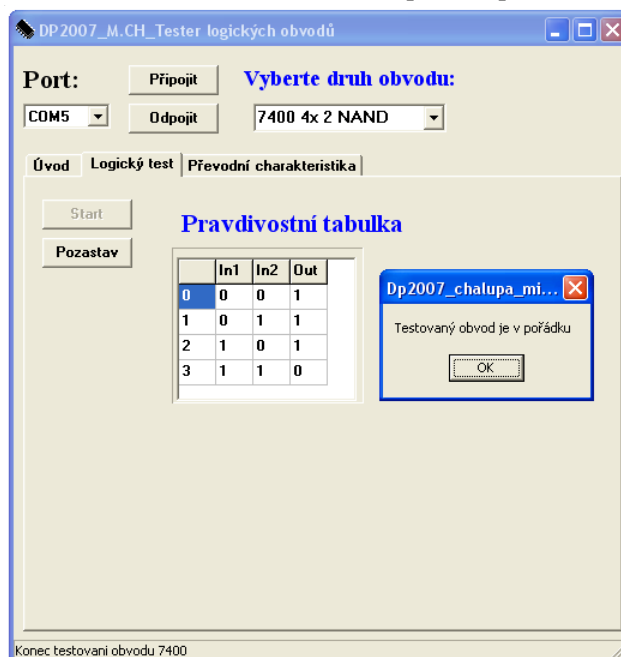
Při samotném testování se musí přepnout na záložku „Logický test“. Na ní se objeví pravdivostní tabulka tohoto obvodu a po stisknutí tlačítka „Start“ se vykoná tento test. Pokud je třeba zastavit záložka obsahuje tlačítko „Zastav“. Během testování je v příkazovém řádku napsáno „Obvod se testuje“.



Obr. 21 Ovládací okno obslužné aplikace – záložka Logický test

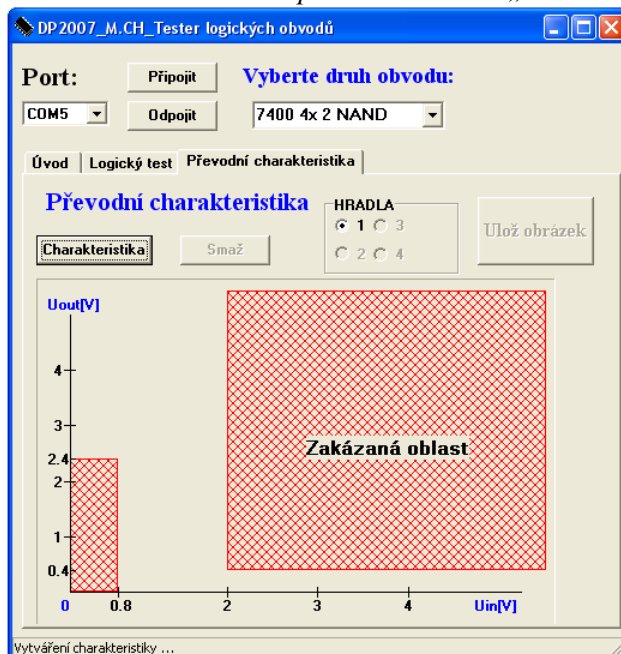
Po ukončení testu se objeví okno s popisem, zda je obvod funkční či nikoliv. Pokud je obvod nefunkční, je v okně ještě napsáno, které hradlo je špatné.

Obr. 22 Ovládací okno obslužné aplikace po ukončení testu

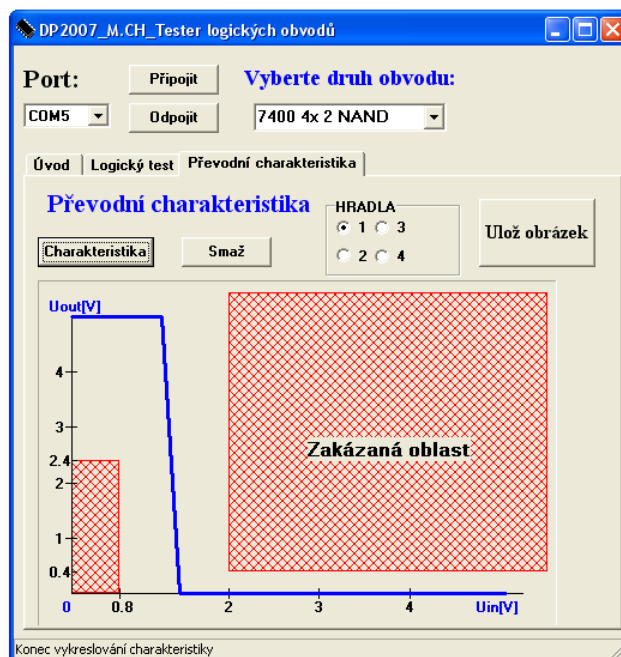


Na poslední záložce je tlačítko pro vytvoření převodní charakteristiky. Podle počtu hradel testovaného obvodu se objeví tolik zaškrťovacích okének v poli HRADLA. Zde se vybere pro jaké hradlo se má tato charakteristika vytvořit. Jako výchozí je nastaveno první hradlo. V příkazovém řádku je napsáno „Vytváření charakteristiky“.

Obr. 23 Ovládací okno obslužné aplikace – záložka „Převodní charakteristika“



Vytvořenou charakteristiku je možno uložit ve formátu bmp. Stačí stisknout tlačítko „Ulož obrázek“.



Obr. 24 Ovládací okno obslužné aplikace po vykreslení převodní charakteristiky hradla NAND



## 4.6 Použité testy pro ověření funkčnosti

Jak bylo výše řečeno k otestování obvodů se používá dvou testů. První je test pravdivostní tabulkou a druhý vygeneruje převodní charakteristiku, na níž se zjistí, zda obvod pracuje ve vymezených hranicích pro TTL. Oba testy je možno použít pro všechny testované obvody.

### 4.6.1 Testování podle pravdivostní tabulky

Vlastní testování spočívá v přivedení všech vstupních kombinací na vstupy hradla a ověření hodnoty na výstupu.

```
if obvod=1 then begin //7400
    case krok of
        1:begin posli('S',63);krok:=krok+1;end; //prvni hradlo
        2:begin posli('H',08);krok:=krok+1;end;
        3:begin posli('P',00);krok:=krok+1;end;
        4:begin posli('S',60);krok:=krok+1;end;
        5:begin posli('V',00);krok:=krok+1;end;
        6:begin posli('J',00);krok:=krok+1;end;
        7:begin vystup3[0]:=cislo;
            vystup4:=format('%.2F',[vystup3[0]]);krok:=krok+1;end;
        8:begin posli('H',08);krok:=krok+1;end;
        9:begin posli('P',01);krok:=krok+1;end;
        10:begin posli('S',60);krok:=krok+1;end;
        11:begin posli('V',00);krok:=krok+1;end;
        12:begin posli('J',00);krok:=krok+1;end;
        13:begin vystup3[1]:=cislo;
            vystup4:=format('%.2F',[vystup3[1]]);krok:=krok+1;end;
        14:begin posli('H',08);krok:=krok+1;end;
        15:begin posli('P',02);krok:=krok+1;end;
        16:begin posli('S',60);krok:=krok+1;end;
        17:begin posli('V',00);krok:=krok+1;end;
        18:begin posli('J',00);krok:=krok+1;end;
        19:begin vystup3[2]:=cislo;
            vystup4:=format('%.2F',[vystup3[2]]);krok:=krok+1;end;
        20:begin posli('H',08);krok:=krok+1;end;
        21:begin posli('P',03);krok:=krok+1;end;
        22:begin posli('S',60);krok:=krok+1;end;
        23:begin posli('V',00);krok:=krok+1;end;
        24:begin posli('J',00);krok:=krok+1;end;
        25:begin vystup3[3]:=cislo;
            vystup4:=format('%.2F',[vystup3[3]]);krok:=krok+1;end;
```

Zde je vložena část programu, v níž je nastíněn způsob zápisu tohoto testu. Konkrétně je popsán test obvodu MH 7400 prvního hradla. Po potvrzení výběru obvodu se uloží do globální proměnné typ obvodu. Tohoto je využito v celém následujícím programu. Aby bylo možné posílat komunikační instrukce, byla vytvořena procedura „posli“, jež vezme řídicí znak předaný parametrem a současně vezme hodnotu předanou také parametrem neboli operand, převede ho do hexadecimální soustavy (pro jednodušší představu, byla použita dekadická soustava při zadávání operandu, proto se pak musí převést do hexa) a oba sloučí. Nakonec celou instrukci pošle na sériovou linku.

Po stisknutí tlačítka „Start“ v záložce „Logický test“, v proceduře On Timer v komponentě Timer2 běží cyklus CASE, který postupně nastavuje tyto instrukce. První instrukce nastaví všechny 3stavové oddělovače do stavu vysoké impedance. Poté další instrukce pro demultiplexor odpojí vstupní signál z D/A převodníku, neboť instrukce H08 rozpojí všechny spínače demultiplexoru. V dalším kroku cyklu „P00“ nastaví kombinaci vstupních signálů pro první hradlo. Na vstupy přijdou hodnoty 00. Instrukce „S60“ vrátí oddělovače ze stavu vysoké impedance u pinů 1 a 2 do normálního stavu, v kterém převádí vstupní signál na výstupní. V tomto okamžiku je tedy na obou vstupech hradla log. 0. Instrukce „V00“ nastaví multiplexor na výstupní pin tohoto hradla, který je připojen na pozici 00. Poslední instrukce je „J00“, což je signál pro A/D převodník, který převede signál zpět na digitální. V dalším kroku cyklu se už ukládá digitální hodnota z A/D převodníku do tabulky.

Toto je počáteční kombinace testu prvního hradla obvodu MH 7400, což je dvouvstupový NAND, kde jsou na vstupu nuly a na výstupu je jednička. Takto se přivedou na první hradlo všechny kombinace a pak se přivedou všechny možné kombinace vstupů na zbylá hradla. Výsledkem je tabulka výstupních hodnot. Další procedurou (preved) se tyto hodnoty převedou na logické nuly a jedničky ( $\log.0 \leq 0,8 \text{ V}$  a  $\log.1 \geq 2\text{V}$ ). Aby bylo možno tyto výstupní logické hodnoty ověřit, musí se porovnat s pravými tedy těmi, které by tam měly opravdu být při oné vstupní kombinaci. K tomuto byla naprogramována procedura „vyhodnoceni“, jež porovná obě tabulky a vypíše informaci o funkčnosti či nefunkčnosti obvodu. V případě nefunkčnosti vypíše, v kterém hradle je chyba.

## 4.6.2 Vytvoření převodní charakteristiky

Převodní charakteristika, jak bylo výše popsáno je závislost výstupního napětí na vstupním. Pro vytvoření převodní charakteristiky invertoru postačí přivést na jeho vstup proměnné analogové napětí a měřit výstupní napětí. Ovšem pokud je potřeba vytvořit charakteristiku např. pro čtyřvstupový NAND, musí se ošetřit i ostatní vstupy, nejen tento vstup analogový. Na zbylé vstupy se přivede logický signál v tomto případě log. 1. Jaké logické hodnoty se přivedou na ostatní vstupy záleží na tom, jaký typ obvodu je testován. Zde je část programu pro vytvoření přechodové charakteristiky obvodu MH7400 prvního hradla.

```
if obvod=1 then
  begin
    case krok of          //7400
      1:if RadioButton1.Checked then begin RadioButton2.enabled:=false;
        RadioButton3.enabled:=false;RadioButton4.enabled:=false;
        posli('S',63);krok:=krok+1;end else krok:=7;          //první hradlo
      2:begin posli('H',00);krok:=krok+1;end;
      3:begin posli('P',02);krok:=krok+1;end;
      4:begin posli('S',61);krok:=krok+1;end;
      5:begin posli('V',00);krok:=krok+1;end;
      6:begin posli('R',vstup[0]); cteni:=true; prevodnik:=1; i:=0;
        timer1.enabled:=true;krok:=krok+1;end;
```

Tato část programu je opět napsána v proceduře On Timer, tentokrát ale komponenty Timer3. Provádí se opět krok po kroku, zadanou rychlostí. V prvním kroku se opět vyhodnotí, jaké hradlo je vybráno, resp. pro jaké hradlo se má vytvořit tato závislost. A potom už probíhá cyklus case.

Nejprve se nastaví všechny 3stavy do stavu vysoké impedance. V dalším kroku je nastaven demultiplexor na vstup, na který se bude přivádět měnící se analogové napětí. Potom se nastaví logický signál na druhý pin. Dále se odblokuje 3state pro logický signál na druhém pinu. Multiplexorem „V00“ je nastaven výstupní pin, kde se bude měřit výstupní napětí. V dalším kroku je nastaven převodník D/A, v tomto případě se jedná o převodník1. V tomto okamžiku se zapne běh druhého časovače. Zde je využito vnoření dvou časovačů do sebe. Tento první, neboli vnější, se nyní vypne. Teď tedy běží vnitřní časovač Timer1. V něm se postupně z nadefinované tabulky přivádějí číslcová data na zvolený D/A převodník, který z nich dělá analogový signál. Aby se proměřila celá charakteristika, napětí se mění od 0 V do 5 V a zpět do 0 V, tyto hodnoty vychází z technologie TTL. Zpětné napětí (z 5 V do 0 V) se volí proto,

že by mělo hradlo jiné chování při zpětném směru. V charakteristice je pak toto rozlišeno barvou vykreslovací čáry. Modrá barva je pro směr z 5 V do 0 V a zelená pro směr opačný. Ve většině případů se charakteristiky kryjí. Po ukončení vnitřního Timeru1. Se opět spustí časovač Timer3 a doběhne jeho cyklus case. Nakonec se celá charakteristika vykreslí.

Závislost by měla sedět mezi zakázanými pásmy pro TTL logiku. Celou charakteristiku je možné vytisknout, neboť záložka ještě obsahuje tlačítko pro uložení obrázku. Po stisku tohoto tlačítka se objeví dialogové okno a je možno uložit vygenerovanou charakteristiku do formátu bmp. K tomuto slouží procedura nazvaná „dobmp“. Pokud je zapotřebí vykreslit závislost pro další hradlo obvodu, pouze se stiskne tlačítko „Smaž“ a plátno pro vykreslování je smazané a připravené na další charakteristiku. Tato závislost je vykreslována na canvas komponenty Paintbox1 v proceduře „zobrazgraf“.

Zdrojový kód obslužné aplikace je zaznamenán na přiloženém CD.

## 5 REALIZACE

Tester byl zhotoven na oboustranné desce plošných spojů. Schéma i plošný spoj byly navrženy v programu EAGLE 4.11. Deska byla vyrobena ve školní laboratoři pro vývoj a výrobu desek plošných spojů **PC – lab**. Tester byl vložen do krabičky U - KP29.

Testovaný obvod se vkládá vždy výřezem nahoru do patice s nulovou silou, která je připevněna na povrchu přípravku. Patice byla zvolena 28 pinová protože obvod 7430 není pinově podobný ostatním testovaným obvodům. Patice byla rozdělena na dvě části, v její horní části se testují všechny obvody kromě výše jmenovaného. Zapojení spodní části patice vychází ze zapojení vrchní části. Propojení obou částí je zobrazeno barevně v tab. 11. Spojeny jsou ty piny, které mají stejnou barvu. V dolní části se testuje pouze obvod 7430 a tato část je připravena k rozšíření typů testovaných obvodů.

Tester byl navržen tak, aby k jeho napájení stačil zdroj s hodnotami  $\pm 15\text{ V}$ . Z těchto napětí použité stabilizátory tvoří napětí  $\pm 5\text{ V}$ , které se dále používá jako napájecí popř. referenční napětí. Všechny použité elektronické obvody, mají co nejblíže svým napájecím svorkám polštářkový kondenzátor (100nF) z důvodu rušení viz Příloha A.

Tester obsahuje trojici barevně rozlišených zdířek pro tato napájení. Dále je zde umístěn hlavní vypínač, který spíná oba napájecí okruhy. Pro signalizaci provozu je zde umístěna zelená LED dioda, která se při zapnutí testeru rozsvítí. Pro větší bezpečnost jsou v obvodu zapojeny do série usměrňovací diody (1N4008), aby nebylo možné tester přepólovat a dále trubičkové pojistky (400mA).

Finální návrh i podoba testeru jsou zobrazeny v Příloze A a Příloze C.

### 5.1 Vyhodnocení

Funkčnost testeru byla vyzkoušena v praxi. Po vložení funkčního testovaného obvodu do testeru, testovaný obvod svou funkcí odpovídal pravdivostní tabulce, byl testerem vyhodnocen jako dobrý. Pokud byl však testovaný obvod nefunkční, byl vyhodnocen jako špatný. Ručně proměřená převodní charakteristika dobrého testovaného obvodu, odpovídá převodní charakteristice vytvořené testerem.

## ZÁVĚR

Zadání diplomové práce znělo zhotovit a zrealizovat tester logických obvodů řízený počítačem. Po prostudování odborné literatury a konzultacích s Ing. Zbyňkem Maderem vznikl návrh testeru, poté probíhala jeho realizace a následně vyzkoušení v praxi. Po výběru vhodného osmibitového mikroprocesoru, který představuje řídicí článek vzniklého zařízení, byl navržen tester vybraných elektronických logických obvodů, který komunikuje s počítačem přes USB rozhraní. Následně byla navržena deska s plošnými spoji a funkční vzorek zrealizován. Průběžně bylo vytvářeno programové vybavení v počítači, pomocí kterého lze tester ovládat a současně vyhodnocovat výsledky daného testovaného obvodu.

V diplomové práci byly všechny hlavní body zadání splněny. Tester navíc oproti původnímu zadání diplomové práce je schopen vygenerovat a následně i zobrazit převodní charakteristiku měřeného obvodu, resp. jeho jednotlivých hradel. Tato fáze návrhu byla časově náročná a komplikovaná.

## POUŽITÁ LITERATURA

- [1] Hrianka, Miroslav. *Elektronické logické obvody*. 1.vyd. Vysoká škola dopravy a spojov v Žilíně v Edičnom stredisku VŠDS, 1992. ISBN 80-7100-066-3
- [2] Jáneš, Vlastimil. *Logické systémy*. 1.vyd. Praha:ČVUT, 1995.  
ISBN:80-01-01106-2
- [3] Vedral, Josef. *Elektronické obvody pro měřicí techniku*. 1.vyd. Praha: ČVUT 1999. ISBN 80-01-01950
- [4] Hlavička, Jan. *Diagnostika elektronických obvodů*. 1.vyd. Praha: SNTL 1982.
- [5] Jedlička, Petr. *Přehled obvodů řady 7400. 1.díl 7400 až 7499*. Praha: BEN 2005.  
ISBN 80-7300-169-1
- [6] Skalický, Petr. *Přístrojové aplikace mikropočítačů*. 1.vyd. Praha: ČVUT, 2004.  
ISBN: 80-01-03111-X
- [7] Datasheets. *DS89C420* [online].[cit. 2006-10-05]  
<<http://datasheets.maxim-ic.com/en/ds/DS89C420.pdf>>
- [8] Riegel Corporation. *DS89C420* [online].[cit. 2006-10-05]  
<[http://www.riegelcorp.com/\\_doc/8051/89c420.pdf](http://www.riegelcorp.com/_doc/8051/89c420.pdf)>
- [9] Keil. *User's Guide DS89C420* [online].[cit. 2006-10-05]  
<[http://www.keil.com/dd/docs/datashts/dallas/ds89c420\\_ug.pdf](http://www.keil.com/dd/docs/datashts/dallas/ds89c420_ug.pdf)>
- [10] Matoušek, David. *USB prakticky s obvody FTDI 1.díl*. 1.vyd. Praha: BEN, 2003.  
ISBN: 80-7300-103-9
- [11] Asix. *UMS2* [online].[cit. 2007-01-20]  
<[http://www.asix.cz/download/usb/ums2/ums2\\_cz.pdf](http://www.asix.cz/download/usb/ums2/ums2_cz.pdf)>
- [12] Datasheet Catalog. *TLC 549* [online].[cit. 2006-10-10]  
<<http://www.ortodoxism.ro/datasheets/texasinstruments/tlc549.pdf>>
- [13] Datasheet Catalog. *TLC 7528CN* [online].[cit. 2006-10-20]  
<<http://www.ortodoxism.ro/datasheets2/6/0rp3iea6wx7t5rrul1qhs3axh6fy.pdf>>

- [14] Novák, Ondřej a kol. *Elektronika*. 2.vyd. Liberec: Technická univerzita v Liberci, 2004. ISBN:80-7083-792-6
- [15] Datasheet Catalog. *74HCT4094* [online].[cit. 2006-10-25]  
<<http://www.ortodoxism.ro/datasheets/philips/74HCT4094.pdf>>
- [16] Datasheet Catalog. *4067* [online].[cit. 2006-11-05]  
<<http://www.ortodoxism.ro/datasheets/philips/74HC4067.pdf>>
- [17] Datasheet Catalog. *4097* [online].[cit. 2006-11-05]  
<<http://www.ortodoxism.ro/datasheets/SGSThompsonMicroelectronics/mXryquz.pdf>>
- [18] Datasheet Catalog. *74HCT244* [online].[cit. 2006-11-11]  
<[http://www.ortodoxism.ro/datasheets/philips/74HC\\_HCT244\\_CNV\\_2.pdf](http://www.ortodoxism.ro/datasheets/philips/74HC_HCT244_CNV_2.pdf)>
- Skalický, Petr. *Mikroprocesory řady 8051*. 2.roz.vyd. Praha: BEN, 2001.  
ISBN: 80-86056-39-2
- Kadlec, Václav. *Učíme se programovat v DELPHI a jazyce OBJECT PASCAL*.  
1.vyd. Praha: Computer Press, 2001. ISBN: 80-7226-245-9



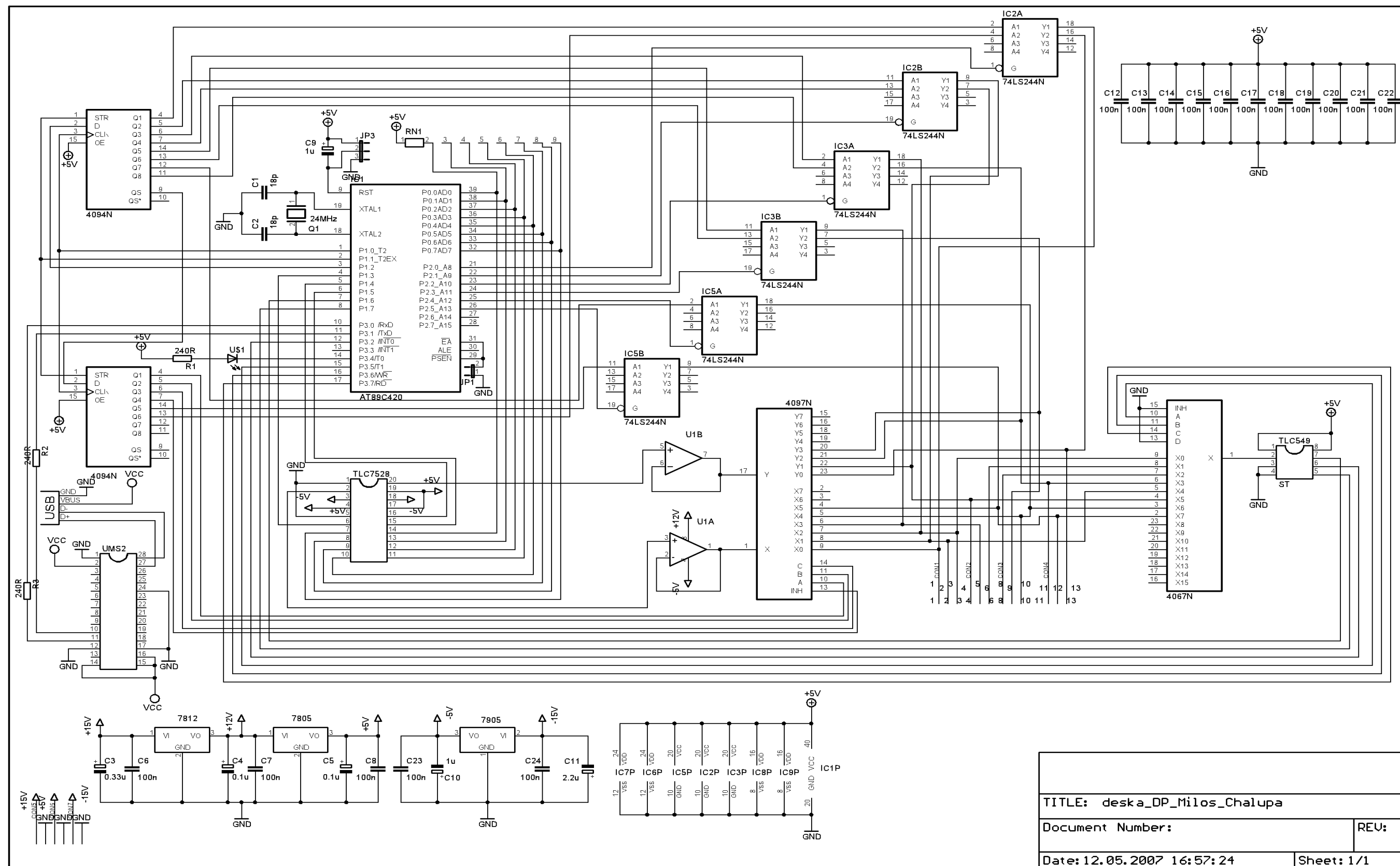
## **PŘÍLOHY**

**Příloha A – Elektrické schéma + deska plošných spojů testeru**

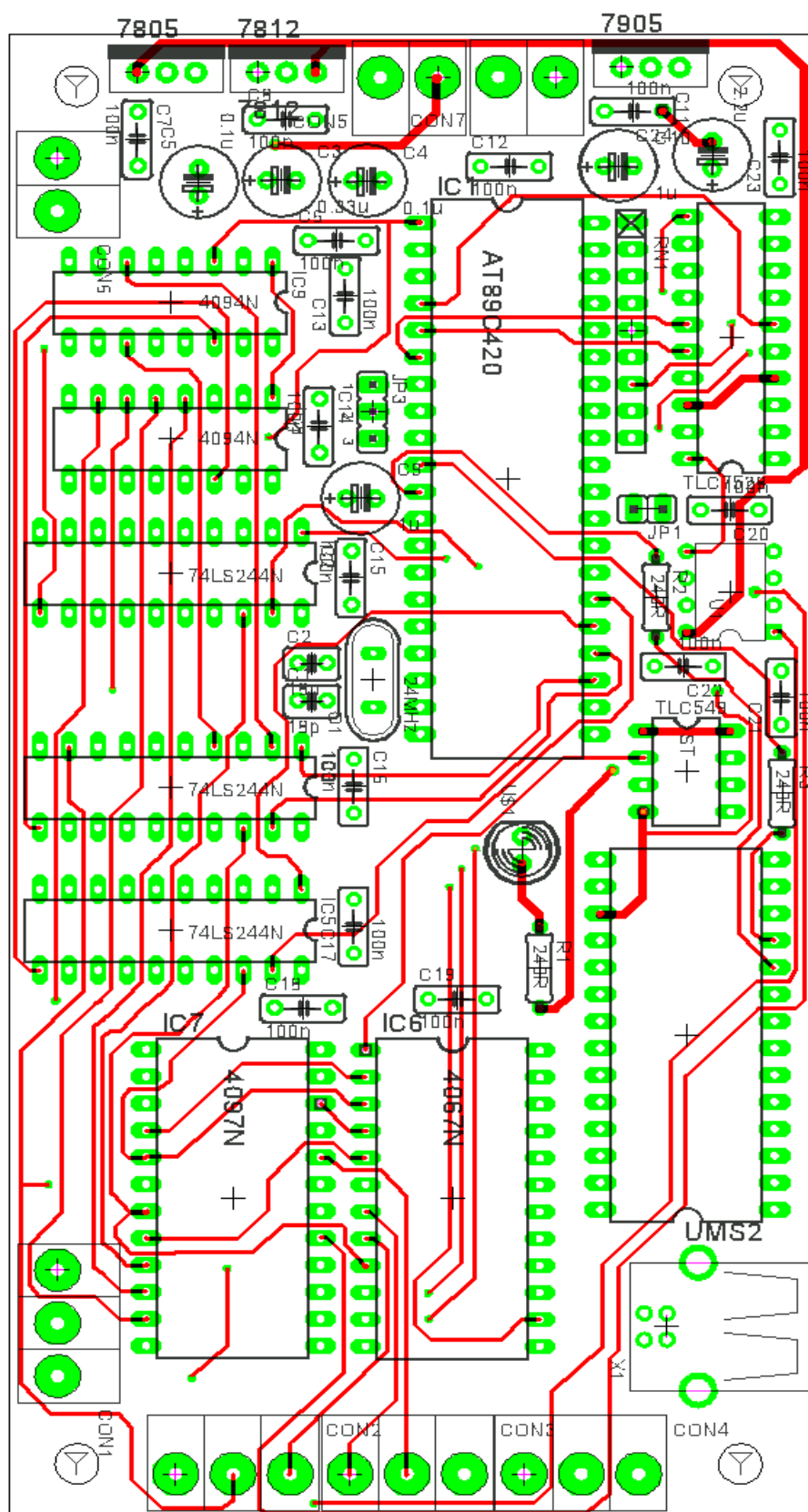
**Příloha B – Elektrické schéma + deska plošných spojů převodníku USB – UART**

**Příloha C – Obrázky finální podoby testeru**

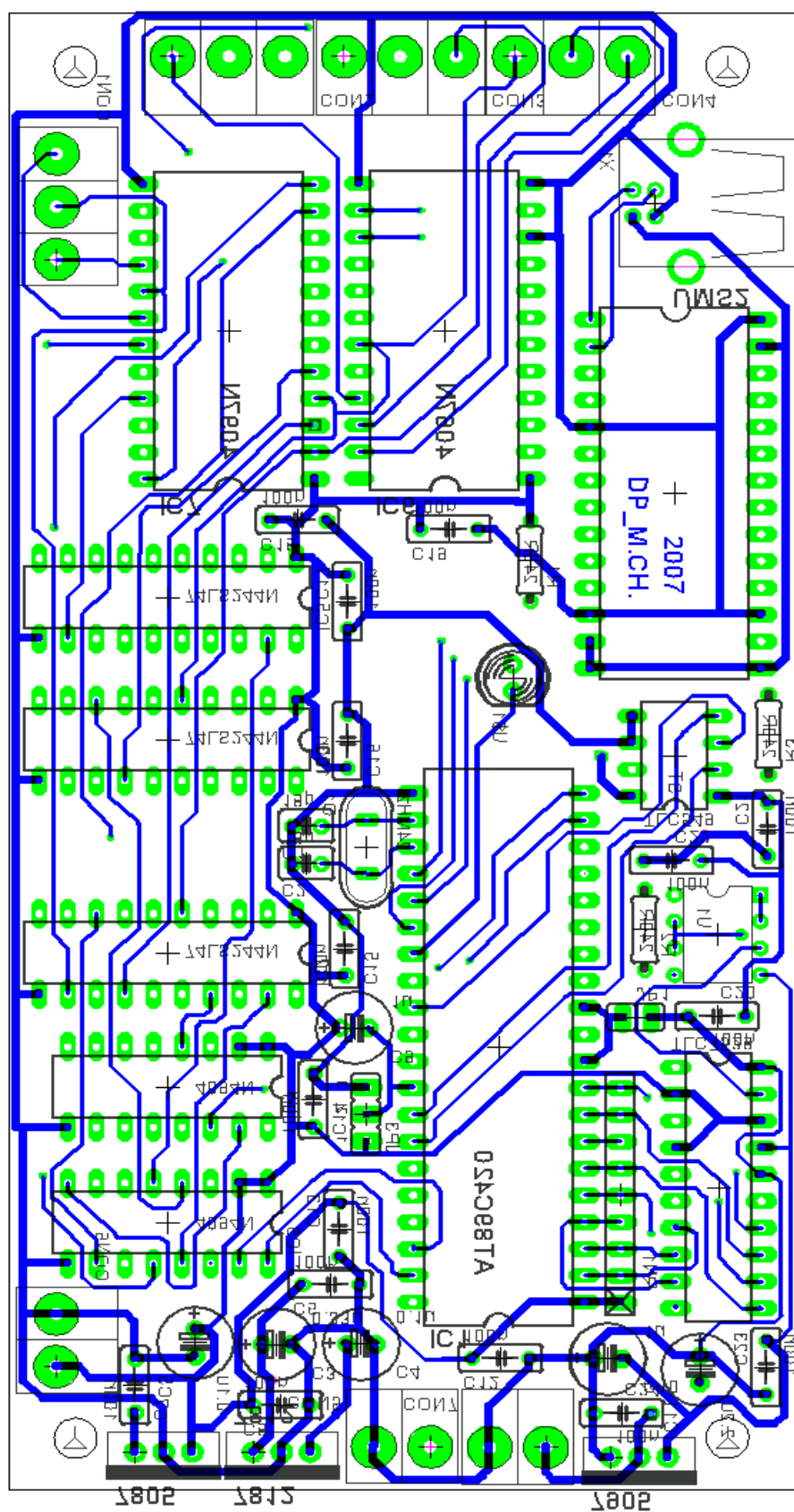
## PŘÍLOHA A – ELEKTRICKÉ SCHÉMA + DESKA PLOŠNÝCH SPOJŮ TESTERU



obr. 1 Elektrické schéma testeru

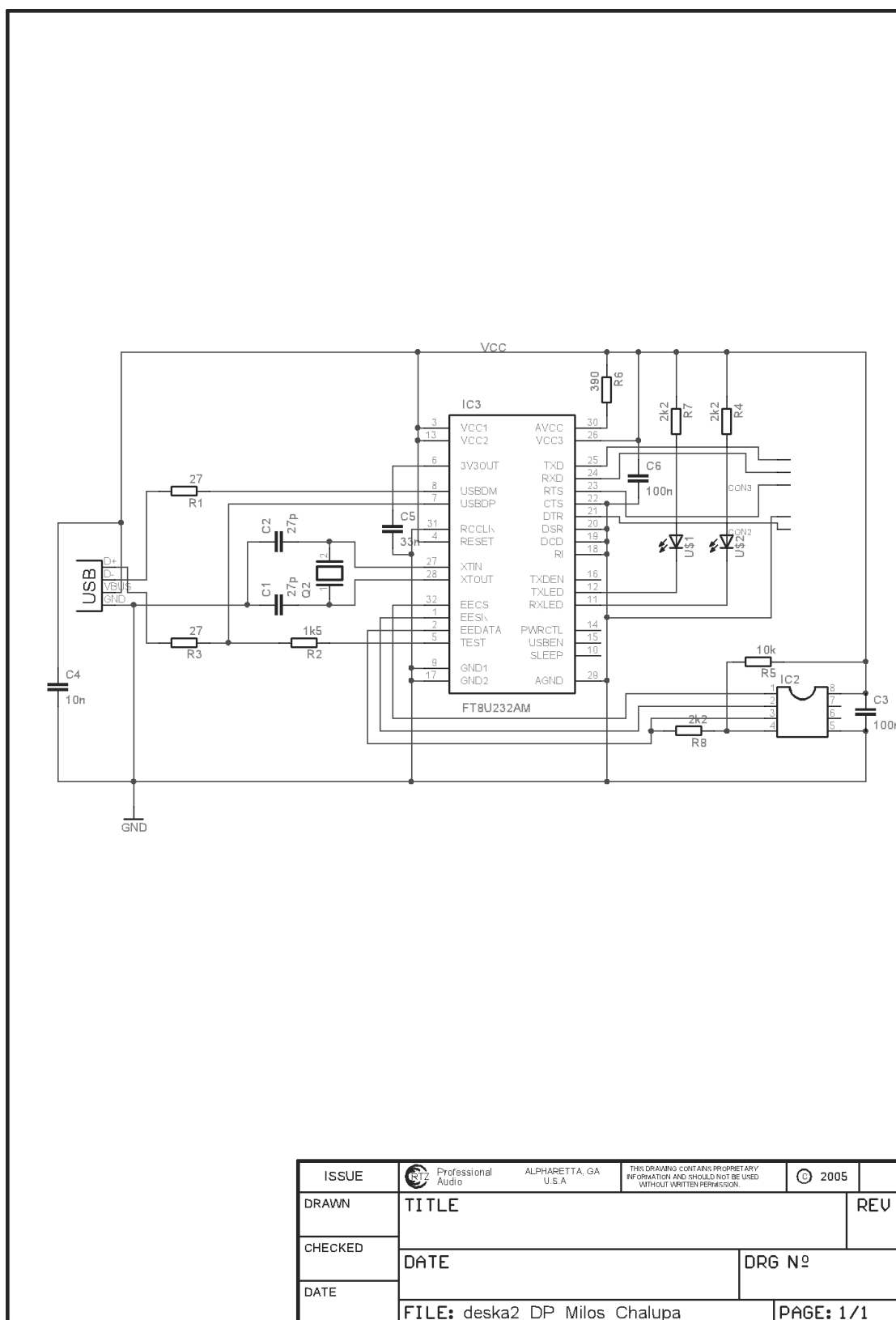


obr. 2 Deska plošných spojů testeru – vrchní strana

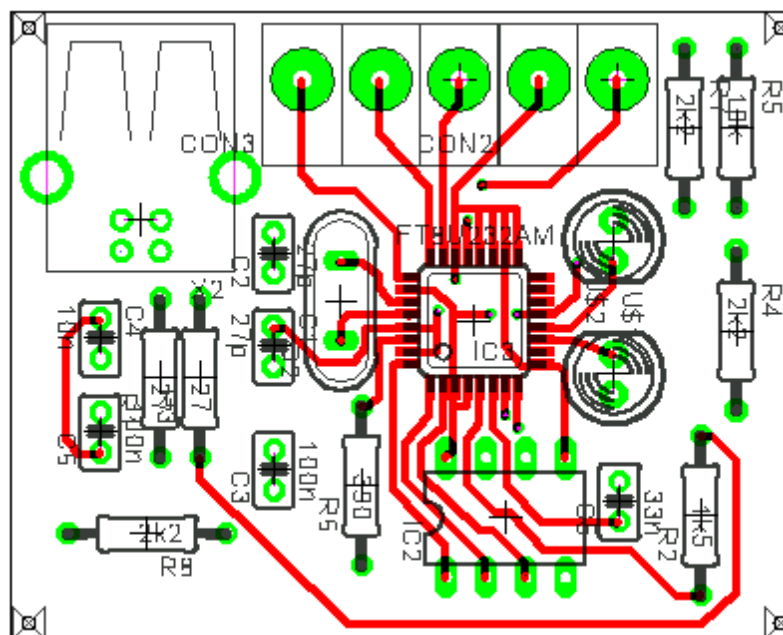


obr. 3 Deska plošných spojů testeru – spodní strana

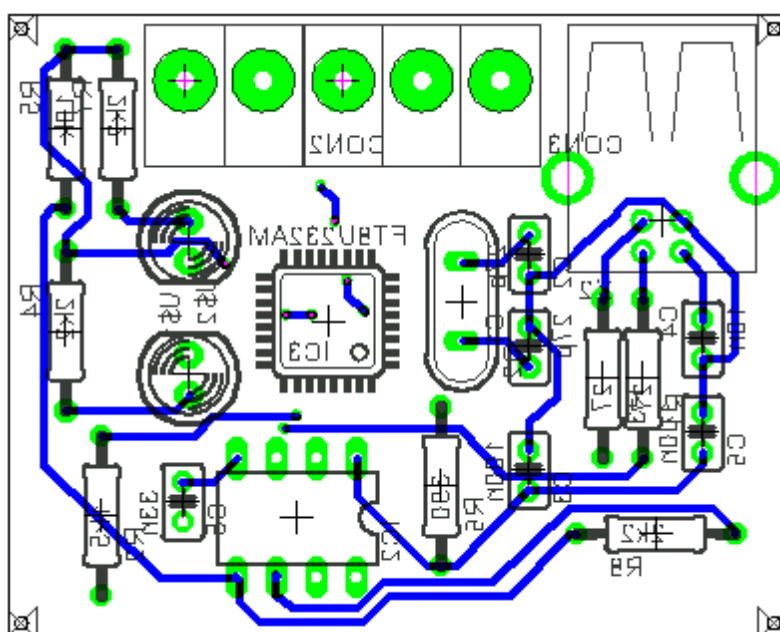
# **PŘÍLOHA B – ELEKTRICKÉ SCHÉMA + DESKA** **PLOŠNÝCH SPOJŮ PŘEVODNÍKU USB – UART**



obr. 1 Elektrické schéma převodníku USB-UART



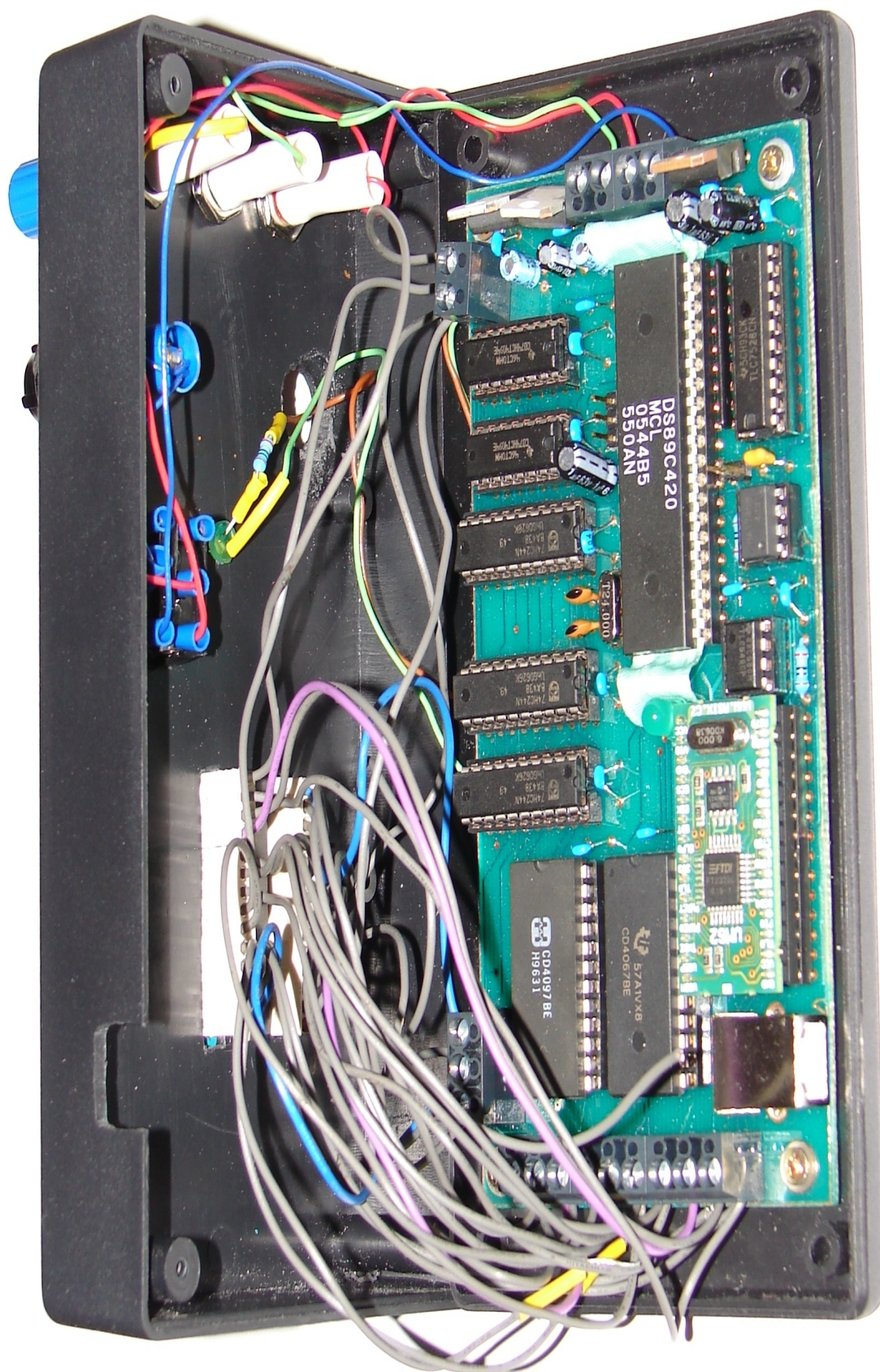
obr. 2 Deska plošných spojů převodníku USB – UART – vrchní strana



obr. 3 Deska plošných spojů převodníku USB – UART – spodní strana



## PŘÍLOHA C – OBRÁZKY FINÁLNÍ PODOBY TESTERU



obr. 1 Pohled na umístění desky tištěných spojů v krabičce





obr. 2 Finální podoba testeru